

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-236075

(43)Date of publication of application : 29.08.2000

(51)Int.Cl.

H01L 27/108
H01L 21/8242
C23C 16/40
H01L 27/04
H01L 21/822
H01L 27/10
H01L 21/8247
H01L 29/788
H01L 29/792

(21)Application number : 11-034815

(71)Applicant : SONY CORP

(22)Date of filing : 12.02.1999

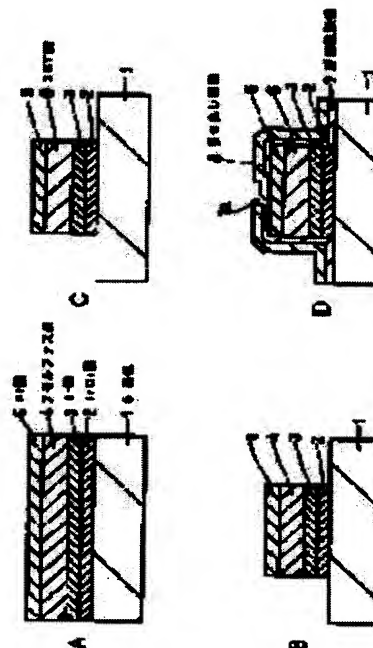
(72)Inventor : HIRONAKA KATSUYUKI
SUGIYAMA MASATAKA
ISOBE CHIHARU
AMI TAKAAKI

(54) MANUFACTURE OF DIELECTRIC CAPACITOR AND MANUFACTURE OF SEMICONDUCTOR MEMORY

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a dielectric capacitor of good characteristics even when an area of a dielectric capacitor is reduced when manufacturing a dielectric capacitor, wherein the dielectric film of a perovskite type crystal structure is used or a semiconductor memory with such a dielectric capacitor.

SOLUTION: When a dielectric capacitor wherein an SBT film is used as a dielectric film is manufactured, an IrO₂ film 2 and an Ir film 3 as a lower electrode, an amorphous film 4 as the precursor film of an SBT film, and a Pt film 5 as an upper electrode are formed on an Si substrate 1 one by one. After the Pt film 5, the amorphous film 4, the Ir film 3 and the IrO₂ film 2 are subjected to patterning into a shape of a dielectric capacitor and the amorphous film 4 is subjected to heat treatment. Thereby, an SBT film 6 is



obtained by making phase change for an amorphous phase in the amorphous film 4 into a crystal phase of a perovskite type crystal structure.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] In the manufacture approach of the dielectric capacitor using the dielectric film which consists of a dielectric of the perovskite mold crystal structure The process which forms the precursor film which uses as a principal component the amorphous phase or fluorite phase which consists of a configuration element of the above-mentioned dielectric the process which forms a lower electrode, and on the above-mentioned lower electrode, The process which forms an up electrode on the above-mentioned precursor film, and the process which carries out patterning of the above-mentioned up electrode and the above-mentioned precursor film to the configuration of the above-mentioned dielectric capacitor by etching at least, By heat-treating the above-mentioned precursor film by which patterning was carried out to the configuration of the above-mentioned dielectric capacitor The manufacture approach of the dielectric capacitor characterized by having the process which is made to carry out the phase change of the above-mentioned amorphous phase or the fluorite phase to the crystal phase of the perovskite mold crystal structure, and obtains the above-mentioned dielectric film.

[Claim 2] The above-mentioned precursor film is the manufacture approach of the dielectric capacitor according to claim 1 characterized by being the film ($2.6 \leq 2\text{Bi}/(\text{Ta}+\text{Nb}) \leq 0.6 \leq 2\text{Sr}/(\text{Ta}+\text{Nb}) \leq 1.2$) which uses as a principal component the amorphous phase or fluorite phase which consists of Bi, Sr, Ta, Nb, and O.

[Claim 3] The film which uses as a principal component the amorphous phase to which the above-mentioned precursor film consists of Bi, Sr, Ta, Nb, and O on the above-mentioned lower electrode (however, after the range of the atomic composition ratio forms $2.0 \leq 2\text{Bi}/(\text{Ta}+\text{Nb}) \leq 2.6$, and $0.6 \leq 2\text{Sr}/(\text{Ta}+\text{Nb}) \leq 1.2$) The manufacture approach of the dielectric capacitor according to claim 1 characterized by being formed by carrying out the phase change of the above-mentioned amorphous phase to a fluorite phase by heat treatment.

[Claim 4] The above-mentioned precursor film is the manufacture approach of the dielectric capacitor according to claim 1 characterized by being the film ($2.5 \leq 2\text{Bi}/(\text{Ta}+\text{Nb}) \leq 0.6 \leq 2\text{Sr}/(\text{Ta}+\text{Nb}) \leq 1.2$ and $1.7 \leq 2\text{Bi}/(\text{Ta}+\text{Nb}) \leq 0 \leq 2\text{Ti}/(\text{Ta}+\text{Nb}) \leq 1.0$) which uses as a principal component the amorphous phase or fluorite phase which consists of Bi, Sr, Ta, Nb, Ti, and O.

[Claim 5] The above-mentioned precursor film is the manufacture approach of the dielectric capacitor according to claim 4 characterized by being formed by forming the film which uses the above-mentioned fluorite phase as a principal component by the chemical-vapor-deposition method.

[Claim 6] The manufacture approach of the dielectric capacitor according to claim 5 characterized by

forming the film which uses the above-mentioned fluorite phase as a principal component at 400-degree-C or more membrane formation temperature of 650 degrees C or less.

[Claim 7] In the case of the above-mentioned chemical vapor deposition, $\text{Bi}(\text{C six H}_5)_3$ and $\text{Bi}(\text{o-C seven H}_7)_3$, $\text{Bi}(\text{O-C two H}_5)_3$, $\text{Bi}(\text{O-iC three H}_7)_3$, and $\text{Bi}(\text{O-tC four H}_9)_3$ And $\text{Bi}(\text{o-tC five H}_{11})_3$ from -- with at least one kind of organic metal raw material chosen from the 1st becoming group $\text{Sr}(\text{THD})_2$ and $\text{Sr}_2(\text{THD})$ At least one kind of organic metal raw material chosen from the 2nd group which consists of tetraglyme, and $\text{Sr}(\text{Me}_5 \text{ C}_5)_2$ and 2THF, $\text{Ti}(\text{i-OC three H}_7)_4$ and $\text{TiO}(\text{THD})_2$ And $\text{Ti}(\text{THD})_2(\text{i-OC three H}_7)_2$ from -- with at least one kind of organic metal raw material chosen from the 3rd becoming group $\text{Ta}(\text{i-OC three H}_7)_5$, $\text{Ta}(\text{i-OC three H}_7)_4 \text{ THD}$, $\text{Nb}_5(\text{i-OC three H}_7)$ And the mixed gas which mixed further with the oxidizing gas the mixed gas which mixed at least one kind of organic metal raw material chosen from the 4th group which consists of $\text{Nb}(\text{i-OC}_3\text{H}_7)_4 \text{ THD}$ to the predetermined presentation is made into reactant gas. The manufacture approach of the dielectric capacitor according to claim 5 characterized by using.

[Claim 8] The film which uses as a principal component the amorphous phase to which the above-mentioned precursor film consists of Bi, Sr, Ta, Nb, Ti, and O on the above-mentioned lower electrode (-- however, after the range of the atomic composition ratio forms $0.6 \leq 2\text{Sr}/(\text{Ta}+\text{Nb}) \leq 1.2$, $1.7 \leq 2\text{Bi}/(\text{Ta}+\text{Nb}) \leq 2.5$, and $0 < 2\text{Ti}/(\text{Ta}+\text{Nb}) \leq 1.0$) The manufacture approach of the dielectric capacitor according to claim 1 characterized by being formed by carrying out the phase change of the above-mentioned amorphous phase to a fluorite phase by heat treatment.

[Claim 9] The above-mentioned precursor film is the manufacture approach of the dielectric capacitor according to claim 8 characterized by being formed by heat-treating in a oxidizing gas ambient atmosphere after forming the film which uses the above-mentioned amorphous phase as a principal component by the chemical-vapor-deposition method.

[Claim 10] The manufacture approach of the dielectric capacitor according to claim 9 characterized by forming the film which uses the above-mentioned amorphous phase as a principal component at 300-degree-C or more membrane formation temperature of 500 degrees C or less.

[Claim 11] The manufacture approach of the dielectric capacitor according to claim 9 characterized by performing the above-mentioned heat treatment at 600-degree-C or more temperature of 850 degrees C or less.

[Claim 12] In the case of the above-mentioned chemical vapor deposition, $\text{Bi}(\text{C six H}_5)_3$ and $\text{Bi}(\text{o-C seven H}_7)_3$, $\text{Bi}(\text{O-C two H}_5)_3$, $\text{Bi}(\text{O-iC three H}_7)_3$, and $\text{Bi}(\text{O-tC four H}_9)_3$ And $\text{Bi}(\text{O-tC five H}_{11})_3$ from -- with at least one kind of organic metal raw material chosen from the 1st becoming group At least one kind of organic metal raw material chosen from the 2nd group which consists of $\text{Sr}(\text{THD})_2$ and $\text{Sr}(\text{THD})_2$ tetraglyme, and $\text{Sr}(\text{Me}_5 \text{ C}_5)_2$ and 2THF, $\text{Ti}(\text{i-OC three H}_7)_4$ and $\text{TiO}(\text{THD})_2$ And $\text{Ti}(\text{THD})_2(\text{i-OC three H}_7)_2$ from -- with at least one kind of organic metal raw material chosen from the 3rd becoming group $\text{Ta}(\text{i-OC three H}_7)_5$, $\text{Ta}(\text{i-OC three H}_7)_4 \text{ THD}$, $\text{Nb}_5(\text{i-OC three H}_7)$ And the mixed gas which mixed at least one kind of organic metal raw material chosen from the 4th group which consists of $\text{Nb}(\text{i-OC three H}_7)_4 \text{ THD}$ to the predetermined presentation is made into reactant gas. The manufacture approach of the dielectric capacitor according to claim 9 characterized by using.

[Claim 13] In the case of the above-mentioned chemical vapor deposition, $\text{Bi}(\text{C six H}_5)_3$ and $\text{Bi}(\text{o-C seven H}_7)_3$, $\text{Bi}(\text{O-C two H}_5)_3$, $\text{Bi}(\text{O-iC three H}_7)_3$, and $\text{Bi}(\text{O-tC four H}_9)_3$ And $\text{Bi}(\text{O-tC five H}_{11})_3$ from -- with at least one kind of organic metal raw material chosen from the 1st becoming group At least one kind of

organic metal raw material chosen from the 2nd group which consists of SrTa₂ 12 (OC two H5) and SrNb₂ 12 (OC two H5), Ti (i-oC three H7)₄, TiO (THD)₂ And Ti(THD)₂ 2 (i-OC three H7) from -- the manufacture approach of the dielectric capacitor according to claim 9 characterized by using the mixed gas which mixed at least one kind of organic metal raw material chosen from the 3rd becoming group to the predetermined presentation as reactant gas.

[Claim 14] The above-mentioned precursor film is the manufacture approach of the dielectric capacitor according to claim 1 characterized by being the film (however, the range of the atomic composition ratio $0.1 \leq \text{Zr/Pb} \leq 0.6$, $0.4 \leq \text{Ti/Pb} \leq 0.9$) which uses as a principal component the amorphous phase which consists of Pb, Zr, Ti, and O.

[Claim 15] The above-mentioned precursor film is the manufacture approach of the dielectric capacitor according to claim 1 characterized by being the film (however, the range of the atomic composition ratio $0.1 \leq \text{Zr/Pb} \leq 0.6$, $0.4 \leq \text{Ti/Pb} \leq 0.9$, $0.03 \leq \text{Nb/Pb} \leq 0.30$) which uses as a principal component the amorphous phase which consists of Pb, Zr, Ti, Nb, and O.

[Claim 16] The above-mentioned precursor film is the manufacture approach of the dielectric capacitor according to claim 1 characterized by being the film (1.0 however, the range of the atomic composition ratio $0 \leq \text{Sr/Ti} \leq 0 \leq \text{Ba/Ti} \leq 1.0$) which uses as a principal component the amorphous phase which consists of Ba, Sr, Ti, and O.

[Claim 17] The manufacture approach of the dielectric capacitor according to claim 1 characterized by heat-treating the above-mentioned precursor film by which patterning was carried out to the configuration of the above-mentioned dielectric capacitor in a oxidizing gas ambient atmosphere.

[Claim 18] The manufacture approach of the dielectric capacitor according to claim 17 characterized by performing heat treatment in the above-mentioned oxidizing gas ambient atmosphere at 500-degree-C or more temperature of 900 degrees C or less.

[Claim 19] The manufacture approach of the dielectric capacitor according to claim 1 characterized by heat-treating it in a oxidizing gas ambient atmosphere at 500-degree-C or more temperature of 900 degrees C or less after heat-treating the above-mentioned precursor film by which patterning was carried out to the configuration of the above-mentioned dielectric capacitor in nitrogen-gas-atmosphere mind at 500-degree-C or more temperature of 900 degrees C or less.

[Claim 20] The manufacture approach of the dielectric capacitor according to claim 1 characterized by heat-treating ozone in the oxidizing gas ambient atmosphere included 0.5% or more at 300-degree-C or more temperature of 600 degrees C or less after heat-treating the above-mentioned precursor film by which patterning was carried out to the configuration of the above-mentioned dielectric capacitor in nitrogen-gas-atmosphere mind at 500-degree-C or more temperature of 900 degrees C or less.

[Claim 21] The manufacture approach of the dielectric capacitor according to claim 1 characterized by heat-treating ozone in the oxidizing gas ambient atmosphere included 0.5% or more at 300-degree-C or more temperature of 600 degrees C or less after heat-treating the above-mentioned precursor film by which patterning was carried out to the configuration of the above-mentioned dielectric capacitor in the reduced pressure ambient atmosphere of 100 or less Torr at 500-degree-C or more temperature of 800 degrees C or less.

[Claim 22] The manufacture approach of a dielectric capacitor according to claim 1 that thickness of the above-mentioned dielectric film is characterized by 20nm or more being 200nm or less.

[Claim 23] In the manufacture approach of the dielectric capacitor using the dielectric film which consists

of a dielectric of the perovskite mold crystal structure The process which forms the precursor film which uses as a principal component the amorphous phase or fluorite phase which consists of a configuration element of the above-mentioned dielectric the process which forms a lower electrode, and on the above-mentioned lower electrode, The process which forms an up electrode on the above-mentioned precursor film, and the process which carries out patterning of the above-mentioned up electrode and the above-mentioned precursor film to the configuration of the above-mentioned dielectric capacitor by etching, The process which forms a protective coat so that the side attachment wall of the above-mentioned up electrode by which patterning was carried out to the configuration of the above-mentioned dielectric capacitor, and the above-mentioned precursor film may be covered, By heat-treating the above-mentioned precursor film with which patterning was carried out to the configuration of the above-mentioned dielectric capacitor, and the side attachment wall was covered by the above-mentioned protective coat The manufacture approach of the dielectric capacitor characterized by having the process which is made to carry out the phase change of the above-mentioned amorphous phase or the fluorite phase to the crystal phase of the perovskite mold crystal structure, and obtains the above-mentioned dielectric film.

[Claim 24] The above-mentioned precursor film is the manufacture approach of the dielectric capacitor according to claim 23 characterized by being the film (2.6 however, the range of the atomic composition ratio $2.0 \leq 2\text{Bi}/(\text{Ta}+\text{Nb}) \leq 0.6 \leq 2\text{Sr}/(\text{Ta}+\text{Nb}) \leq 1.2$) which uses as a principal component the amorphous phase or fluorite phase which consists of Bi, Sr, Ta, Nb, and O.

[Claim 25] The film which uses as a principal component the amorphous phase to which the above-mentioned precursor film consists of Bi, Sr, Ta, Nb, and O on the above-mentioned lower electrode (· however, after the range of the atomic composition ratio forms $2.0 \leq 2\text{Bi}/(\text{Ta}+\text{Nb}) \leq 2.6$, and $0.6 \leq 2\text{Sr}/(\text{Ta}+\text{Nb}) \leq 1.2$) The manufacture approach of the dielectric capacitor according to claim 23 characterized by being formed by carrying out the phase change of the above-mentioned amorphous phase to a fluorite phase by heat treatment.

[Claim 26] The above-mentioned precursor film is the manufacture approach of the dielectric capacitor according to claim 23 characterized by being the film (2.5 however, the range of the atomic composition ratio $0.6 \leq 2\text{Sr}/(\text{Ta}+\text{Nb}) \leq 1.2$ and $1.7 \leq 2\text{Bi}/(\text{Ta}+\text{Nb}) \leq 0 \leq 2\text{Ti}/(\text{Ta}+\text{Nb}) \leq 1.0$) which uses as a principal component the amorphous phase or fluorite phase which consists of Bi, Sr, Ta, Nb, Ti, and O.

[Claim 27] The above-mentioned precursor film is the manufacture approach of the dielectric capacitor according to claim 26 characterized by being formed by forming the film which uses the above-mentioned full ORAI phase as a principal component by the chemical-vapor-deposition method.

[Claim 28] The manufacture approach of the dielectric capacitor according to claim 27 characterized by forming the film which uses the above-mentioned fluorite phase as a principal component at 400-degree-C or more membrane formation temperature of 650 degrees C or less.

[Claim 29] In the case of the above-mentioned chemical vapor deposition, Bi(C six H5) 3 and Bi (o-C seven H7)3, Bi (O-C two H5)3, Bi (O-iC three H7)3, and Bi (O-tC four H9)3 And Bi (o-tC five H11)3 from · with at least one kind of organic metal raw material chosen from the 1st becoming group At least one kind of organic metal raw material chosen from the 2nd group which consists of Sr (THD)2 and Sr(THD) 2 tetraglyme, and Sr(Me5 C5) 2 and 2THF, Ti (i-OC three H7)4 and TiO (THD)2 And Ti(THD)2 2 (i-OC three H7) from · with at least one kind of organic metal raw material chosen from the 3rd becoming group Ta (i-OC three H7)5, Ta(i-OC three H7)4 THD, Nb5 (i-OC three H7) And the mixed gas which

mixed further with the oxidizing gas the mixed gas which mixed at least one kind of organic metal raw material chosen from the 4th group which consists of Nb(i-OC three H7)4 THD to the predetermined presentation is made into reactant gas. The manufacture approach of the dielectric capacitor according to claim 27 characterized by using.

[Claim 30] The film which uses as a principal component the amorphous phase to which the above-mentioned precursor film consists of Bi, Sr, Ta, Nb, Ti, and O on the above-mentioned lower electrode (— however, after the range of the atomic composition ratio forms $0.6 \leq 2\text{Sr}/(\text{Ta}+\text{Nb}) \leq 1.2$, $1.7 \leq 2\text{Bi}/(\text{Ta}+\text{Nb}) \leq 2.5$, and $0 < 2\text{Ti}/(\text{Ta}+\text{Nb}) \leq 1.0$) The manufacture approach of the dielectric capacitor according to claim 23 characterized by being formed by carrying out the phase change of the above-mentioned amorphous phase to a fluorite phase by heat treatment.

[Claim 31] The above-mentioned precursor film is the manufacture approach of the dielectric capacitor according to claim 30 characterized by being formed by heat-treating in a oxidizing gas ambient atmosphere after forming the film which uses the above-mentioned amorphous phase as a principal component by the chemical-vapor-deposition method.

[Claim 32] The manufacture approach of the dielectric capacitor according to claim 31 characterized by forming the film which uses the above-mentioned amorphous phase as a principal component at 300-degree-C or more membrane formation temperature of 500 degrees C or less.

[Claim 33] The manufacture approach of the dielectric capacitor according to claim 31 characterized by performing the above-mentioned heat treatment at 600-degree-C or more temperature of 850 degrees C or less.

[Claim 34] In the case of the above-mentioned chemical vapor deposition, Bi(C six H5) 3 and Bi (o-C seven H7)3, Bi (O-C two H5)3, Bi (O-iC three H7)3, and Bi (O-tC four H9)3 And Bi (O-tC five H11)3 from — with at least one kind of organic metal raw material chosen from the 1st becoming group At least one kind of organic metal raw material chosen from the 2nd group which consists of Sr (THD)2 and Sr(THD) 2 tetraglyme, and Sr(Me5 C5) 2 and 2THF, Ti (i-OC three H7)4 and TiO (THD)2 And Ti(THD)2 2 (i-OC three H7) from — with at least one kind of organic metal raw material chosen from the 3rd becoming group Ta (i-OC three H7)5, Ta(i-OC three H7)4 THD, Nb5 (i-OC three H7) And the mixed gas which mixed at least one kind of organic metal raw material chosen from the 4th group which consists of Nb(i-OC three H7)4 THD to the predetermined presentation is made into reactant gas. The manufacture approach of the dielectric capacitor according to claim 31 characterized by using.

[Claim 35] In the case of the above-mentioned chemical vapor deposition, Bi(C six H5) 3 and Bi (o-C seven H7)3, Bi (O-C two H5)3, Bi (O-iC three H7)3, and Bi (O-tC four H9)3 And Bi (O-tC five H11)3 from — with at least one kind of organic metal raw material chosen from the 1st becoming group At least one kind of organic metal raw material chosen from the 2nd group which consists of SrTa2 12 (OC two H5) and SrNb2 12 (OC two H5), Ti (i-oC three H7)4, TiO (THD)2 And Ti(THD)2 2 (i-OC three H7) The mixed gas which mixed at least one kind of organic metal raw material chosen from the 3rd becoming group to the predetermined presentation is made into reactant gas. from — The manufacture approach of the dielectric capacitor according to claim 31 characterized by using.

[Claim 36] The above-mentioned precursor film is the manufacture approach of the dielectric capacitor according to claim 23 characterized by being the film (however, the range of the atomic composition ratio $0.1 \leq \text{Zr}/\text{Pb} \leq 0.6$, $0.4 \leq \text{Ti}/\text{Pb} \leq 0.9$) which uses as a principal component the amorphous phase which consists of Pb, Zr, Ti, and O.

[Claim 37] The above-mentioned precursor film is the manufacture approach of the dielectric capacitor according to claim 23 characterized by being the film (however, the range of the atomic composition ratio $0.1 \leq \text{Zr/Pb} \leq 0.6$, $0.4 \leq \text{Ti/Pb} \leq 0.9$, $0.03 \leq \text{Nb/Pb} \leq 0.30$) which uses as a principal component the amorphous phase which consists of Pb, Zr, Ti, Nb, and O.

[Claim 38] The above-mentioned precursor film is the manufacture approach of the dielectric capacitor according to claim 23 characterized by being the film (1.0 however, the range of the atomic composition ratio $0 \leq \text{Sr/Ti} \leq 0 \leq \text{Ba/Ti} \leq 1.0$) which uses as a principal component the amorphous phase which consists of Ba, Sr, Ti, and O.

[Claim 39] the above-mentioned protective coat -- SrTa₂O₆, Ta₂O₅, Nb₂O₅, ZrO₂, CeO₂, and Y₂O₃ Or HfO₂ from -- the manufacture approach of the dielectric capacitor according to claim 23 characterized by becoming.

[Claim 40] The manufacture approach of the dielectric capacitor according to claim 23 characterized by heat-treating the above-mentioned precursor film by which patterning was carried out to the configuration of the above-mentioned dielectric capacitor in a oxidizing gas ambient atmosphere.

[Claim 41] The manufacture approach of the dielectric capacitor according to claim 40 characterized by performing heat treatment in the above-mentioned oxidizing gas ambient atmosphere at 500-degree-C or more temperature of 900 degrees C or less.

[Claim 42] The manufacture approach of the dielectric capacitor according to claim 23 characterized by heat-treating it in a oxidizing gas ambient atmosphere at 500-degree-C or more temperature of 900 degrees C or less after heat-treating the above-mentioned precursor film by which patterning was carried out to the configuration of the above-mentioned dielectric capacitor in nitrogen-gas-atmosphere mind at 500-degree-C or more temperature of 900 degrees C or less.

[Claim 43] The manufacture approach of the dielectric capacitor according to claim 23 characterized by heat-treating ozone in the oxidizing gas ambient atmosphere included 0.5% or more at 300-degree-C or more temperature of 600 degrees C or less after heat-treating the above-mentioned precursor film by which patterning was carried out to the configuration of the above-mentioned dielectric capacitor in nitrogen-gas-atmosphere mind at 500-degree-C or more temperature of 900 degrees C or less.

[Claim 44] The manufacture approach of the dielectric capacitor according to claim 23 characterized by heat-treating ozone in the oxidizing gas ambient atmosphere included 0.5% or more at 300-degree-C or more temperature of 600 degrees C or less after heat-treating the above-mentioned precursor film by which patterning was carried out to the configuration of the above-mentioned dielectric capacitor in the reduced pressure ambient atmosphere of 100 or less Torrs at 500-degree-C or more temperature of 800 degrees C or less.

[Claim 45] The manufacture approach of a dielectric capacitor according to claim 23 that thickness of the above-mentioned dielectric film is characterized by 20nm or more being 200nm or less.

[Claim 46] In the manufacture approach of a semiconductor memory of having a dielectric capacitor using the dielectric film which consists of a dielectric of the perovskite mold crystal structure The process which forms the precursor film which uses as a principal component the amorphous phase or fluorite phase which consists of a configuration element of the above-mentioned dielectric the process which forms the lower electrode of the above-mentioned dielectric capacitor, and on the above-mentioned lower electrode, The process which forms the up electrode of the above-mentioned dielectric capacitor on the above-mentioned precursor film, By heat-treating the above-mentioned precursor film by which

patterning was carried out to the process which carries out patterning of the above-mentioned upper electrode and the above-mentioned precursor film to the configuration of the above-mentioned dielectric capacitor by etching at least, and the configuration of the above-mentioned dielectric capacitor. The manufacture approach of the semiconductor memory characterized by having the process which is made to carry out the phase change of the above-mentioned amorphous phase or the fluorite phase to the crystal phase of the perovskite mold crystal structure, and obtains the above-mentioned dielectric film.

[Claim 47] The above-mentioned precursor film is the manufacture approach of the semiconductor memory according to claim 46 characterized by being the film (2.6 however, the range of the atomic composition ratio $2.0 \leq 2\text{Bi}/(\text{Ta}+\text{Nb}) \leq 0.6 \leq 2\text{Sr}/(\text{Ta}+\text{Nb}) \leq 1.2$) which uses as a principal component the amorphous phase or fluorite phase which consists of Bi, Sr, Ta, Nb, and O.

[Claim 48] The film which uses as a principal component the amorphous phase to which the above-mentioned precursor film consists of Bi, Sr, Ta, Nb, and O on the above-mentioned lower electrode (— however, after the range of the atomic composition ratio forms $2.0 \leq 2\text{Bi}/(\text{Ta}+\text{Nb}) \leq 2.6$, and $0.6 \leq 2\text{Sr}/(\text{Ta}+\text{Nb}) \leq 1.2$) The manufacture approach of the semiconductor memory according to claim 46 characterized by being formed by carrying out the phase change of the above-mentioned amorphous phase to a fluorite phase by heat treatment.

[Claim 49] The above-mentioned precursor film is the manufacture approach of the semiconductor memory according to claim 46 characterized by being the film (2.5 however, the range of the atomic composition ratio $0.6 \leq 2\text{Sr}/(\text{Ta}+\text{Nb}) \leq 1.2$ and $1.7 \leq 2\text{Bi}/(\text{Ta}+\text{Nb}) \leq 0 < 2\text{Ti}/(\text{Ta}+\text{Nb}) \leq 1.0$) which uses as a principal component the amorphous phase or fluorite phase which consists of Bi, Sr, Ta, Nb, Ti, and O.

[Claim 50] The above-mentioned precursor film is the manufacture approach of the semiconductor memory according to claim 49 characterized by being formed by forming the film which uses the above-mentioned fluorite phase as a principal component by the chemical-vapor-deposition method.

[Claim 51] The manufacture approach of the semiconductor memory according to claim 50 characterized by forming the film which uses the above-mentioned fluorite phase as a principal component at 400-degree-C or more membrane formation temperature of 650 degrees C or less.

[Claim 52] In the case of the above-mentioned chemical vapor deposition, $\text{Bi}(\text{C six H5})_3$ and $\text{Bi}(\text{o-C seven H7})_3$, $\text{Bi}(\text{O-C two H5})_3$, $\text{Bi}(\text{O-iC three H7})_3$, and $\text{Bi}(\text{O-tC four H9})_3$ And $\text{Bi}(\text{o-tC five H11})_3$ from — with at least one kind of organic metal raw material chosen from the 1st becoming group At least one kind of organic metal raw material chosen from the 2nd group which consists of $\text{Sr}(\text{THD})_2$ and $\text{Sr}(\text{THD})_2$ tetraglyme, and $\text{Sr}(\text{Me5 C5})_2$ and 2THF , $\text{Ti}(\text{i-OC three H7})_4$ and $\text{TiO}(\text{THD})_2$ And $\text{Ti}(\text{THD})_2$ 2 (i-OC three H7) from — with at least one kind of organic metal raw material chosen from the 3rd becoming group $\text{Ta}(\text{i-OC three H7})_5$, $\text{Ta}(\text{i-OC three H7})_4$ THD , $\text{Nb}_5(\text{i-OC three H7})$ And the mixed gas which mixed further with the oxidizing gas the mixed gas which mixed at least one kind of organic metal raw material chosen from the 4th group which consists of $\text{Nb}(\text{i-OC three H7})_4$ THD to the predetermined presentation is made into reactant gas. The manufacture approach of the semiconductor memory according to claim 50 characterized by using.

[Claim 53] The film which uses as a principal component the amorphous phase to which the above-mentioned precursor film consists of Bi, Sr, Ta, Nb, Ti, and O on the above-mentioned lower electrode (— however, after the range of the atomic composition ratio forms $0.6 \leq 2\text{Sr}/(\text{Ta}+\text{Nb}) \leq 1.2$, $1.7 \leq 2\text{Bi}/(\text{Ta}+\text{Nb}) \leq 2.5$, and $0 < 2\text{Ti}/(\text{Ta}+\text{Nb}) \leq 1.0$) The manufacture approach of the semiconductor memory according to claim 46 characterized by being formed by carrying out the phase change of the

above-mentioned amorphous phase to a fluorite phase by heat treatment.

[Claim 54] The above-mentioned precursor film is the manufacture approach of the semiconductor memory according to claim 53 characterized by being formed by heat-treating in a oxidizing gas ambient atmosphere after forming the film which uses the above-mentioned amorphous phase as a principal component by the chemical-vapor-deposition method.

[Claim 55] The manufacture approach of the semiconductor memory according to claim 54 characterized by forming the film which uses the above-mentioned amorphous phase as a principal component at 300-degree-C or more membrane formation temperature of 500 degrees C or less.

[Claim 56] The manufacture approach of the semiconductor memory according to claim 54 characterized by performing the above-mentioned heat treatment at 600-degree-C or more temperature of 850 degrees C or less.

[Claim 57] In the case of the above-mentioned chemical vapor deposition, Bi(C six H5) 3 and Bi (o-C seven H7)3, Bi (O-C two H5)3, Bi (O-iC three H7)3, and Bi (O-tC four H9)3 And Bi (O-tC five H11)3 from -- with at least one kind of organic metal raw material chosen from the 1st becoming group At least one kind of organic metal raw material chosen from the 2nd group which consists of Sr (THD)2 and Sr(THD) 2 tetraglyme, and Sr(Me5 C5) 2 and 2THF, Ti (i-OC three H7)4 and TiO (THD)2 And Ti(THD)2 2 (i-OC three H7) from -- with at least one kind of organic metal raw material chosen from the 3rd becoming group Ta (i-OC three H7)5, Ta(i-OC three H7)4 THD, Nb5 (i-OC three H7) And the mixed gas which mixed at least one kind of organic metal raw material chosen from the 4th group which consists of Nb(i-OC three H7)4 THD to the predetermined presentation is made into reactant gas. The manufacture approach of the semiconductor memory according to claim 54 characterized by using.

[Claim 58] In the case of the above-mentioned chemical vapor deposition, Bi(C six H5) 3 and Bi (o-C seven H7)3, Bi (O-C two H5)3, Bi (O-iC three H7)3, and Bi (O-tC four H9)3 And Bi (O-tC five H11)3 from -- with at least one kind of organic metal raw material chosen from the 1st becoming group At least one kind of organic metal raw material chosen from the 2nd group which consists of SrTa2 12 (OC two H5) and SrNb2 12 (OC two H5), Ti (i-oC three H7)4, TiO (THD)2 And Ti(THD)2 2 (i-OC three H7) from -- the manufacture approach of the semiconductor memory according to claim 54 characterized by using the mixed gas which mixed at least one kind of organic metal raw material chosen from the 3rd becoming group to the predetermined presentation as reactant gas.

[Claim 59] The above-mentioned precursor film is the manufacture approach of the semiconductor memory according to claim 46 characterized by being the film (however, the range of the atomic composition ratio $0.1 \leq \text{Zr/Pb} \leq 0.6$, $0.4 \leq \text{Ti/Pb} \leq 0.9$) which uses as a principal component the amorphous phase which consists of Pb, Zr, Ti, and O.

[Claim 60] The above-mentioned precursor film is the manufacture approach of the semiconductor memory according to claim 46 characterized by being the film (however, the range of the atomic composition ratio $0.1 \leq \text{Zr/Pb} \leq 0.6$, $0.4 \leq \text{Ti/Pb} \leq 0.9$, $0.03 \leq \text{Nb/Pb} \leq 0.30$) which uses as a principal component the amorphous phase which consists of Pb, Zr, Ti, Nb, and O.

[Claim 61] The above-mentioned precursor film is the manufacture approach of the semiconductor memory according to claim 46 characterized by being the film (1.0 however, the range of the atomic composition ratio $0 \leq \text{Sr/Ti} \leq 0 \leq \text{Ba/Ti} \leq 1.0$) which uses as a principal component the amorphous phase which consists of Ba, Sr, Ti, and O.

[Claim 62] The manufacture approach of the semiconductor memory according to claim 46 characterized

by heat-treating the above-mentioned precursor film by which patterning was carried out to the configuration of the above-mentioned dielectric capacitor in a oxidizing gas ambient atmosphere.

[Claim 63] The manufacture approach of the semiconductor memory according to claim 62 characterized by performing heat treatment in the above-mentioned oxidizing gas ambient atmosphere at 500-degree-C or more temperature of 900 degrees C or less.

[Claim 64] The manufacture approach of the semiconductor memory according to claim 46 characterized by heat-treating it in a oxidizing gas ambient atmosphere at 500-degree-C or more temperature of 900 degrees C or less after heat-treating the above-mentioned precursor film by which patterning was carried out to the configuration of the above-mentioned dielectric capacitor in nitrogen-gas-atmosphere mind at 500-degree-C or more temperature of 900 degrees C or less.

[Claim 65] The manufacture approach of the semiconductor memory according to claim 46 characterized by heat-treating ozone in the oxidizing gas ambient atmosphere included 0.5% or more at 300-degree-C or more temperature of 600 degrees C or less after heat-treating the above-mentioned precursor film by which patterning was carried out to the configuration of the above-mentioned dielectric capacitor in nitrogen-gas-atmosphere mind at 500-degree-C or more temperature of 900 degrees C or less.

[Claim 66] The manufacture approach of the semiconductor memory according to claim 46 characterized by heat-treating ozone in the oxidizing gas ambient atmosphere included 0.5% or more at 300-degree-C or more temperature of 600 degrees C or less after heat-treating the above-mentioned precursor film by which patterning was carried out to the configuration of the above-mentioned dielectric capacitor in the reduced pressure ambient atmosphere of 100 or less Torr at 500-degree-C or more temperature of 800 degrees C or less.

[Claim 67] The manufacture approach of a semiconductor memory according to claim 46 that thickness of the above-mentioned dielectric film is characterized by 20nm or more being 200nm or less.

[Claim 68] In the manufacture approach of a semiconductor memory of having a dielectric capacitor using the dielectric film which consists of a dielectric of the perovskite mold crystal structure The process which forms the precursor film which uses as a principal component the amorphous phase or fluorite phase which consists of a configuration element of the above-mentioned dielectric the process which forms the lower electrode of the above-mentioned dielectric capacitor, and on the above-mentioned lower electrode, The process which forms the up electrode of the above-mentioned dielectric capacitor on the above-mentioned precursor film, The process which carries out patterning of the above-mentioned up electrode and the above-mentioned precursor film to the configuration of the above-mentioned dielectric capacitor by etching, The process which forms a protective coat so that the side attachment wall of the above-mentioned up electrode by which patterning was carried out to the configuration of the above-mentioned dielectric capacitor, and the above-mentioned precursor film may be covered, By heat-treating the above-mentioned precursor film with which patterning was carried out to the configuration of the above-mentioned dielectric capacitor, and the side attachment wall was covered by the above-mentioned protective coat The manufacture approach of the semiconductor memory characterized by having the process which is made to carry out the phase change of the above-mentioned amorphous phase or the fluorite phase to the crystal phase of the perovskite mold crystal structure, and obtains the above-mentioned dielectric film.

[Claim 69] The above-mentioned precursor film is the manufacture approach of the semiconductor memory according to claim 68 characterized by being the film (2.6 however, the range of the atomic

composition ratio $2.0 \leq 2\text{Bi}/(\text{Ta}+\text{Nb}) \leq 0.6 \leq 2\text{Sr}/(\text{Ta}+\text{Nb}) \leq 1.2$) which uses as a principal component the amorphous phase or fluorite phase which consists of Bi, Sr, Ta, Nb, and O.

[Claim 70] The film which uses as a principal component the amorphous phase to which the above-mentioned precursor film consists of Bi, Sr, Ta, Nb, and O on the above-mentioned lower electrode (· however, after the range of the atomic composition ratio forms $2.0 \leq 2\text{Bi}/(\text{Ta}+\text{Nb}) \leq 2.6$, and $0.6 \leq 2\text{Sr}/(\text{Ta}+\text{Nb}) \leq 1.2$) The manufacture approach of the semiconductor memory according to claim 68 characterized by being formed by carrying out the phase change of the above-mentioned amorphous phase to a fluorite phase by heat treatment.

[Claim 71] The above-mentioned precursor film is the manufacture approach of the semiconductor memory according to claim 68 characterized by being the film (2.5 however, the range of the atomic composition ratio $0.6 \leq 2\text{Sr}/(\text{Ta}+\text{Nb}) \leq 1.2$ and $1.7 \leq 2\text{Bi}/(\text{Ta}+\text{Nb}) \leq 0 < 2\text{Ti}/(\text{Ta}+\text{Nb}) \leq 1.0$) which uses as a principal component the amorphous phase or fluorite phase which consists of Bi, Sr, Ta, Nb, Ti, and O.

[Claim 72] The above-mentioned precursor film is the manufacture approach of the semiconductor memory according to claim 71 characterized by being formed by forming the film which uses the above-mentioned fluorite phase as a principal component by the chemical-vapor-deposition method.

[Claim 73] The manufacture approach of the semiconductor memory according to claim 72 characterized by forming the film which uses the above-mentioned fluorite phase as a principal component at 400-degree-C or more membrane formation temperature of 650 degrees C or less.

[Claim 74] In the case of the above-mentioned chemical vapor deposition, Bi(C six H5) 3 and Bi (o-C seven H7)3, Bi (O-C two H5)3, Bi (O-iC three H7)3, and Bi (O-tC four H9)3 And Bi (o-tC five H11)3 from · with at least one kind of organic metal raw material chosen from the 1st becoming group At least one kind of organic metal raw material chosen from the 2nd group which consists of Sr (THD)2 and Sr(THD) 2 tetraglyme, and Sr(Me5 C5) 2 and 2THF, Ti (i-OC three H7)4 and TiO (THD)2 And Ti(THD)2 2 (i-OC three H7) from · with at least one kind of organic metal raw material chosen from the 3rd becoming group Ta (i-OC three H7)5, Ta(i-OC three H7)4 THD, Nb5 (i-OC three H7) And the mixed gas which mixed further with the oxidizing gas the mixed gas which mixed at least one kind of organic metal raw material chosen from the 4th group which consists of Nb(i-OC three H7)4 THD to the predetermined presentation is made into reactant gas. The manufacture approach of the semiconductor memory according to claim 72 characterized by using.

[Claim 75] The film which uses as a principal component the amorphous phase to which the above-mentioned precursor film consists of Bi, Sr, Ta, Nb, Ti, and O on the above-mentioned lower electrode (· however, after the range of the atomic composition ratio forms $0.6 \leq 2\text{Sr}/(\text{Ta}+\text{Nb}) \leq 1.2$, $1.7 \leq 2\text{Bi}/(\text{Ta}+\text{Nb}) \leq 2.5$, and $0 < 2\text{Ti}/(\text{Ta}+\text{Nb}) \leq 1.0$) The manufacture approach of the semiconductor memory according to claim 68 characterized by being formed by carrying out the phase change of the above-mentioned amorphous phase to a fluorite phase by heat treatment.

[Claim 76] The above-mentioned precursor film is the manufacture approach of the semiconductor memory according to claim 75 characterized by being formed by heat-treating in a oxidizing gas ambient atmosphere after forming the film which uses the above-mentioned amorphous phase as a principal component by the chemical-vapor-deposition method.

[Claim 77] The manufacture approach of the semiconductor memory according to claim 76 characterized by forming the film which uses the above-mentioned amorphous phase as a principal component at 300-degree-C or more membrane formation temperature of 500 degrees C or less.

[Claim 78] The manufacture approach of the semiconductor memory according to claim 76 characterized by performing the above-mentioned heat treatment at 600-degree-C or more temperature of 850 degrees C or less.

[Claim 79] In the case of the above-mentioned chemical vapor deposition, Bi(C six H5) 3 and Bi (o-C seven H7)3, Bi (O-C two H5)3, Bi (O-iC three H7)3, and Bi (O-tC four H9)3 And Bi (O-tC five H11)3 from -- with at least one kind of organic metal raw material chosen from the 1st becoming group At least one kind of organic metal raw material chosen from the 2nd group which consists of Sr (THD)2 and Sr(THD) 2 tetraglyme, and Sr(Me5 C5) 2 and 2THF, Ti (i-OC three H7)4 and TiO (THD)2 And Ti(THD)2 2 (i-OC three H7) from -- with at least one kind of organic metal raw material chosen from the 3rd becoming group Ta (i-OC three H7)5, Ta(i-OC three H7)4 THD, Nb5 (i-OC three H7) And the mixed gas which mixed at least one kind of organic metal raw material chosen from the 4th group which consists of Nb(i-OC three H7)4 THD to the predetermined presentation is made into reactant gas. The manufacture approach of the semiconductor memory according to claim 76 characterized by using.

[Claim 80] In the case of the above-mentioned chemical vapor deposition, Bi(C six H5) 3 and Bi (o-C seven H7)3, Bi (O-C two H5)3, Bi (O-iC three H7)3, and Bi (O-tC four H9)3 And Bi (o-tC five H11)3 from -- with at least one kind of organic metal raw material chosen from the 1st becoming group At least one kind of organic metal raw material chosen from the 2nd group which consists of SrTa2 12 (OC two H5) and SrNb2 12 (OC two H5), Ti (i-oC three H7)4, TiO (THD)2 And Ti(THD)2 2 (i-OC three H7) from -- the manufacture approach of the semiconductor memory according to claim 76 characterized by using the mixed gas which mixed at least one kind of organic metal raw material chosen from the 3rd becoming group to the predetermined presentation as reactant gas.

[Claim 81] The above-mentioned precursor film is the manufacture approach of the semiconductor memory according to claim 68 characterized by being the film (however, the range of the atomic composition ratio $0.1 \leq \text{Zr/Pb} \leq 0.6$, $0.4 \leq \text{Ti/Pb} \leq 0.9$) which uses as a principal component the amorphous phase which consists of Pb, Zr, Ti, and O.

[Claim 82] The above-mentioned precursor film is the manufacture approach of the semiconductor memory according to claim 68 characterized by being the film (however, the range of the atomic composition ratio $0.1 \leq \text{Zr/Pb} \leq 0.6$, $0.4 \leq \text{Ti/Pb} \leq 0.9$, $0.03 \leq \text{Nb/Pb} \leq 0.30$) which uses as a principal component the amorphous phase which consists of Pb, Zr, Ti, Nb, and O.

[Claim 83] The above-mentioned precursor film is the manufacture approach of the semiconductor memory according to claim 68 characterized by being the film (1.0 however, the range of the atomic composition ratio $0 \leq \text{Sr/Ti} \leq 0 \leq \text{Ba/Ti} \leq 1.0$) which uses as a principal component the amorphous phase which consists of Ba, Sr, Ti, and O.

[Claim 84] the above-mentioned protective coat -- SrTa 2O6, Ta 2O5, Nb 2O5, ZrO2, CeO2, and Y2 O3 Or HfO2 from -- the manufacture approach of the semiconductor memory according to claim 68 characterized by becoming.

[Claim 85] The manufacture approach of the semiconductor memory according to claim 68 characterized by heat-treating the above-mentioned precursor film by which patterning was carried out to the configuration of the above-mentioned dielectric capacitor in a oxidizing gas ambient atmosphere.

[Claim 86] The manufacture approach of the semiconductor memory according to claim 85 characterized by performing heat treatment in the above-mentioned oxidizing gas ambient atmosphere at 500-degree-C or more temperature of 900 degrees C or less.

[Claim 87] The manufacture approach of the semiconductor memory according to claim 68 characterized by heat-treating it in a oxidizing gas ambient atmosphere at 500-degree-C or more temperature of 900 degrees C or less after heat-treating the above-mentioned precursor film by which patterning was carried out to the configuration of the above-mentioned dielectric capacitor in nitrogen-gas-atmosphere mind at 500-degree-C or more temperature of 900 degrees C or less.

[Claim 88] The manufacture approach of the semiconductor memory according to claim 68 characterized by heat-treating ozone in the oxidizing gas ambient atmosphere included 0.5% or more at 300-degree-C or more temperature of 600 degrees C or less after heat-treating the above-mentioned precursor film by which patterning was carried out to the configuration of the above-mentioned dielectric capacitor in nitrogen-gas-atmosphere mind at 500-degree-C or more temperature of 900 degrees C or less.

[Claim 89] The manufacture approach of the semiconductor memory according to claim 68 characterized by heat-treating ozone in the oxidizing gas ambient atmosphere included 0.5% or more at 300-degree-C or more temperature of 600 degrees C or less after heat-treating the above-mentioned precursor film by which patterning was carried out to the configuration of the above-mentioned dielectric capacitor in the reduced pressure ambient atmosphere of 100 or less Torrs at 500-degree-C or more temperature of 800 degrees C or less.

[Claim 90] The manufacture approach of a semiconductor memory according to claim 68 that thickness of the above-mentioned dielectric film is characterized by 20nm or more being 200nm or less.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] Especially this invention is applied to manufacture of the dielectric capacitor using the dielectric film which consists of a dielectric of the perovskite mold crystal structure, and manufacture of the semiconductor memory which has such a dielectric capacitor about the manufacture approach of a dielectric capacitor, and the manufacture approach of a semiconductor memory, and is suitable.

[0002]

[Description of the Prior Art] In recent years, with increase of the storage capacity of a semiconductor memory, the area of a memory cell is reduced quickly and reservation of a required charge capacity is made by adopting the three-dimension-ized complicated structure in connection with it in the capacitor which constitutes a memory cell. Meanwhile, in order to aim at the improvement of the yield and the reduction of a routing counter by the simplification of structure, adoption of the dielectric capacitor of simple structure using a dielectric film with a high dielectric constant is considered. As a dielectric film with a high dielectric constant used for such a dielectric capacitor, it has the perovskite mold crystal structure and what consists of an oxide of the shape of polycrystal the particle size of whose is about 20-300nm is known.

[0003] In order to form conventionally the dielectric capacitor using the dielectric film which consists of a dielectric of the perovskite mold crystal structure After forming a dielectric film on the lower electrode

formed on the base, it crystallizes by heat-treating this dielectric film. furthermore, reactive ion etching (RIE) after forming an up electrode on this crystalized dielectric film -- by law or the ion milling method, the up electrode, the dielectric film, and the lower electrode were etched, and patterning was carried out to the configuration of a dielectric capacitor.

[0004]

[Problem(s) to be Solved by the Invention] However, when the dielectric capacitor using the dielectric film which consists of a dielectric of the perovskite mold crystal structure with the conventional technique mentioned above was formed, on the occasion of etching by the RIE method or the ion milling method, the specific element was etched, or the oxygen defect occurred in the processing front face of a dielectric film, and there was a problem that the property of the dielectric capacitor after processing deteriorated remarkably. It follows on mass storage capacity-ization of semiconductor memory especially, and the area of a dielectric capacitor is 2 10 micrometers. Following, It is 2 several micrometers. When it reduces even to extent, the rate of the area which each crystal grain in a dielectric film occupies to the area of the whole capacitor increases. The effect of the damage which each crystal grain belonging to the side-attachment-wall part of a capacitor receives into an etching process became large relatively, and suited the inclination for the degree of degradation of the property of a dielectric capacitor to also increase.

[0005] Moreover, when the dielectric capacitor using the dielectric film which consists of a dielectric of the perovskite mold crystal structure with the conventional technique is formed, A specific metal deposits on the side attachment wall of a dielectric capacitor in the time of an etching process, and the case of the heat treatment process performed after that, or Or a conductive oxide is generated, it sets to the semiconductor memory of mass storage capacity especially, and the area of a dielectric capacitor is 2 10 micrometers. Following, It is 2 several micrometers. When it reduced even to extent, it is in the inclination for the leakage current of a dielectric capacitor to increase, and had become the big problem which spoils dependability.

[0006] Therefore, in case the purpose of this invention manufactures the semiconductor memory which has the dielectric capacitor and such a dielectric capacitor which used the dielectric film of the perovskite mold crystal structure, even if it is the case where the area of a dielectric capacitor contracts, it is to offer the manufacture approach of a dielectric capacitor that a dielectric capacitor with a good property is realizable, and the manufacture approach of a semiconductor memory.

[0007] They are to offer the manufacture approach of a dielectric capacitor that improvement in dependability can be aimed at, and the manufacture approach of a semiconductor memory while they can realize a dielectric capacitor with a good property, even if they are the cases where the area of a dielectric capacitor contracts, in case other purposes of this invention manufacture the semiconductor memory which has the dielectric capacitor and such a dielectric capacitor which used the dielectric film of the perovskite mold crystal structure.

[0008]

[Means for Solving the Problem] In order to attain the above-mentioned purpose, invention of the 1st of this invention In the manufacture approach of the dielectric capacitor using the dielectric film which consists of a dielectric of the perovskite mold crystal structure The process which forms the precursor film which uses as a principal component the amorphous phase or fluorite phase which consists of a configuration element of a dielectric the process which forms a lower electrode, and on a lower electrode, The process which forms an up electrode on the precursor film, and the process which carries out

patterning of an up electrode and the precursor film to the configuration of a dielectric capacitor by etching at least, By heat-treating the precursor film by which patterning was carried out to the configuration of a dielectric capacitor, it is characterized by having the process which is made to carry out the phase change of an amorphous phase or the fluorite phase to the crystal phase of the perovskite mold crystal structure, and obtains a dielectric film.

[0009] In the manufacture approach of the dielectric capacitor using the dielectric film with which invention of the 2nd of this invention consists of a dielectric of the perovskite mold crystal structure The process which forms the precursor film which uses as a principal component the amorphous phase or fluorite phase which consists of a configuration element of a dielectric the process which forms a lower electrode, and on a lower electrode, The process which forms an up electrode on the precursor film, and the process which carries out patterning of an up electrode and the precursor film to the configuration of a dielectric capacitor by etching, The process which forms a protective coat so that the side attachment wall of the up electrode by which patterning was carried out to the configuration of a dielectric capacitor, and the precursor film may be covered, By heat-treating the precursor film with which patterning was carried out to the configuration of a dielectric capacitor, and the side attachment wall was covered by the protective coat It is characterized by having the process which is made to carry out the phase change of an amorphous phase or the fluorite phase to the crystal phase of the perovskite mold crystal structure, and obtains a dielectric film.

[0010] In the manufacture approach of a semiconductor memory of having a dielectric capacitor using the dielectric film with which invention of the 3rd of this invention consists of a dielectric of the perovskite mold crystal structure The process which forms the precursor film which uses as a principal component the amorphous phase or fluorite phase which consists of a configuration element of a dielectric the process which forms the lower electrode of a dielectric capacitor, and on a lower electrode, The process which forms the up electrode of a dielectric capacitor on the precursor film, and the process which carries out patterning of an up electrode and the precursor film to the configuration of a dielectric capacitor by etching at least, By heat-treating the precursor film by which patterning was carried out to the configuration of a dielectric capacitor, it is characterized by having the process which is made to carry out the phase change of an amorphous phase or the fluorite phase to the perovskite mold crystal structure, and obtains a dielectric film.

[0011] In the manufacture approach of a semiconductor memory of having a dielectric capacitor using the dielectric film with which invention of the 4th of this invention consists of a dielectric of the perovskite mold crystal structure The process which forms the precursor film which uses as a principal component the amorphous phase or fluorite phase which consists of a configuration element of a dielectric the process which forms the lower electrode of a dielectric capacitor, and on a lower electrode, The process which forms the up electrode of a dielectric capacitor on the precursor film, and the process which carries out patterning of an up electrode and the precursor film to the configuration of a dielectric capacitor by etching, The process which forms a protective coat so that the side attachment wall of the up electrode by which patterning was carried out to the configuration of a dielectric capacitor, and the precursor film may be covered, By heat-treating the precursor film with which patterning was carried out to the configuration of a dielectric capacitor, and the side attachment wall was covered by the protective coat It is characterized by having the process which is made to carry out the phase change of an amorphous phase or the fluorite phase to the crystal phase of the perovskite mold crystal structure, and obtains a

dielectric film.

[0012] In this invention, the film (2.6 however, the range of that atomic composition ratio $2.0 \leq 2\text{Bi}/(\text{Ta}+\text{Nb}) \leq 0.6 \leq 2\text{Sr}/(\text{Ta}+\text{Nb}) \leq 1.2$) which uses as a principal component typically the amorphous phase or fluorite phase which consists of Bi, Sr, Ta, Nb, and O as precursor film is used. In this case, the dielectric film (SBT film) which consists of a ferroelectric of Bi system layer structure perovskite mold crystal structure expressed with empirical formula $\text{Bix Sr}_{1-x}\text{Ta}_2\text{Nb}_{1-z}\text{O}_w$ (however, $2.0 \leq x \leq 2.6$, $0.6 \leq y \leq 1.2$, $0 \leq z \leq 1.0$, $w = 9 + d$, $0 \leq d \leq 1.0$) is obtained by heat-treating this precursor film. Moreover, after forming the film (2.6 however, the range of that atomic composition ratio $2.0 \leq 2\text{Bi}/(\text{Ta}+\text{Nb}) \leq 0.6 \leq 2\text{Sr}/(\text{Ta}+\text{Nb}) \leq 1.2$) which uses as a principal component the amorphous phase which consists of Bi, Sr, Ta, Nb, and O on a lower electrode, you may make it form this precursor film of SBT by carrying out the phase change of the amorphous phase to a fluorite phase by heat treatment. In addition, heat treatment in this case is suitably performed before up electrode formation.

[0013] In this invention, the film (2.5 however, the range of that atomic composition ratio $0.6 \leq 2\text{Sr}/(\text{Ta}+\text{Nb}) \leq 1.2$ and $1.7 \leq 2\text{Bi}/(\text{Ta}+\text{Nb}) \leq 0 \leq 2\text{Ti}/(\text{Ta}+\text{Nb}) \leq 1.0$) which uses as a principal component the amorphous phase or fluorite phase which consists of Bi, Sr, Ta, Nb, Ti, and O as precursor film may be used. The range of the atomic composition ratio of the precursor film which consists of film which uses as a principal component the amorphous phase or fluorite phase which consists of this Bi, Sr, Ta, Nb, Ti, and O It is chosen as $0.7 \leq 2\text{Sr}/(\text{Ta}+\text{Nb}) \leq 1.0$, $2.0 \leq 2\text{Bi}/(\text{Ta}+\text{Nb}) \leq 2.4$, and $0.01 \leq 2\text{Ti}/(\text{Ta}+\text{Nb}) \leq 1.0$, and is more suitably chosen as $0.1 \leq 2\text{Ti}/(\text{Ta}+\text{Nb}) \leq 1.0$ about $2\text{Ti}/(\text{Ta}+\text{Nb})$. By heat-treating this precursor film, in this case, empirical formula $\text{Sr}_x\text{Bi}_y\text{Ta}_2\text{Nb}_z\text{O}_w$ ($0.6 \leq x \leq 1.2$, $1.7 \leq y \leq 2.5$, $0 \leq z \leq 1.0$, $w = 9 + d$, and $0 \leq d \leq 1.0$ -- suitably [however,] $0.7 \leq x \leq 1.0$, $2.0 \leq y \leq 2.4$, $0.01 \leq z \leq 1.0$, $w = 9 + d$, and $0 \leq d \leq 1.0$ -- more suitably The dielectric film (SBTT film) which consists of a ferroelectric of $0.7 \leq x \leq 1.0$, $2.0 \leq y \leq 2.4$, $0.1 \leq z \leq 1.0$, $w = 9 + d$, and Bi system layer structure perovskite mold crystal structure expressed with $0 \leq d \leq 1.0$ is obtained. The precursor film of this SBTT on a lower electrode Moreover, Bi, Sr, Ta, The film which uses as a principal component the amorphous phase which consists of Nb, Ti, and O (-- however, after the range of the atomic composition ratio forms $0.6 \leq 2\text{Sr}/(\text{Ta}+\text{Nb}) \leq 1.2$, $1.7 \leq 2\text{Bi}/(\text{Ta}+\text{Nb}) \leq 2.5$, and $0 \leq 2\text{Ti}/(\text{Ta}+\text{Nb}) \leq 1.0$) You may make it form by carrying out the phase change of the amorphous phase to a fluorite phase by heat treatment. In addition, heat treatment in this case is suitably performed before up electrode formation.

[0014] In this invention moreover, as precursor film The film which uses as a principal component the amorphous phase which consists of Pb, Zr, Ti, and O (however, the range of the atomic composition ratio $0.1 \leq \text{Zr}/\text{Pb} \leq 0.6$, $0.4 \leq \text{Ti}/\text{Pb} \leq 0.9$), Or the film (however, the range of the atomic composition ratio $0.1 \leq \text{Zr}/\text{Pb} \leq 0.6$, $0.4 \leq \text{Ti}/\text{Pb} \leq 0.9$, $0.03 \leq \text{Nb}/\text{Pb} \leq 0.30$) which uses as a principal component the amorphous phase which consists of Pb, Zr, Ti, and O may be used. In the case of the former, by heat-treating the precursor film Empirical formula $\text{Pb}_{1-x}\text{Ti}_x\text{O}_3$ By obtaining the dielectric film (PZT film) which consists of a ferroelectric of the perovskite mold crystal structure expressed with ($0.1 \leq x \leq 0.6$ [however,]), and heat-treating the precursor film, when it is the latter The dielectric film (PNZT film) which consists of a ferroelectric of the perovskite mold crystal structure expressed with empirical formula $\text{Pb}_{1-y}\text{Nb}_y\text{O}_3$ ($\text{Zr}_x\text{Ti}_{1-x}\text{O}_3$) (however, $0.1 \leq x \leq 0.6$, $0.03 \leq y \leq 0.30$) is obtained.

[0015] These ferroelectrics mentioned above are used for the ferroelectric film ingredient of ferroelectric random-access memory, and are suitable.

[0016] In this invention, the film (1.0 however, the range of that atomic composition ratio $0 \leq \text{Sr}/\text{Ti} \leq$

$0 \leq \text{Ba/Ti} \leq 1.0$) which uses as a principal component further the amorphous phase which consists of Ba, Sr, Ti, and O as precursor film may be used. In this case, the dielectric film (BST film) which consists of a high dielectric expressed with empirical formula $(\text{Ba}_x \text{Sr}_{1-x}) \text{TiO}_3$ (however, $0 \leq x \leq 1.0$) is obtained by heat-treating this precursor film. This high dielectric is used for the dielectric film ingredient of the capacitor in DRAM, and is suitable.

[0017] In this invention, the precursor film is formed by a chemical-vapor-deposition method or spin coat methods, such as for example, an organic metal chemical-vapor-deposition method, etc.

[0018] In this invention, when the dielectric film finally obtained is SBT film, that precursor film is suitably formed by forming the film which uses a fluorite phase as a principal component by chemical-vapor-deposition methods, such as an organic metal chemical-vapor-deposition method. In this case, membranes are formed at 400-degree-C or more membrane formation temperature (substrate temperature) of 650 degrees C or less, and the film which uses a fluorite phase as a principal component is formed by the reagent-gas-pressure force of $1 \cdot 10$ Torr. As reactant gas, for example Bi (C six H₅)₃ and Bi (o-C seven H₇)₃, Bi (O-C two H₅)₃, Bi (O-iC three H₇)₃, and Bi (O-tC four H₉)₃ And Bi (o-tC five H₁₁)₃ from -- with at least one kind of organic metal raw material chosen from the 1st becoming group Sr (THD)₂, Sr(THD)₂ tetraglyme (tetraglyme) (THD:2, 2 and 6, 6-Tetramethyl-3, 5-heptandion, and C₁₁H₁₉O₂), and Sr(Me₅ C₅)₂ and 2THF (Me=CH₃ --) At least one kind of organic metal raw material chosen from the 2nd group which consists of a THF= tetrahydrofuran, Ti (i-OC three H₇)₄ and TiO (THD)₂ And Ti(THD)₂ 2 (i-OC three H₇) from -- with at least one kind of organic metal raw material chosen from the 3rd becoming group Ta (i-OC three H₇)₅, Ta(i-OC three H₇)₄ THD, Nb₅ (i-OC three H₇) And the mixed gas which mixed further with the oxidizing gas the mixed gas which mixed at least one kind of organic metal raw material chosen from the 4th group which consists of Nb(i-OC three H₇)₄ THD to the predetermined presentation is used.

[0019] Moreover, when the dielectric film finally obtained is SBT film, the precursor film may be formed by carrying out the phase change of the fluorite phase for an amorphous phase by heat treatment, once forming the film which uses an amorphous phase as a principal component on a lower electrode. Suitably, specifically, this precursor film is formed by heat-treating in a oxidizing gas ambient atmosphere, after forming the film which uses an amorphous phase as a principal component by chemical-vapor-deposition methods, such as an organic metal chemical-vapor-deposition method. In this case, membranes are formed at 300-degree-C or more membrane formation temperature (substrate temperature) of 500 degrees C or less, and the film which uses an amorphous phase as a principal component is formed by the reagent-gas-pressure force of $1 \cdot 10$ Torr. Heat treatment in this case is 850 degrees C or less in 600-degree-C or more temperature, for example, is performed for [30 seconds -] 120 minutes. As reactant gas, for example Bi (C six H₅)₃ and Bi (o-C seven H₇)₃, Bi (O-C two H₅)₃, Bi (O-iC three H₇)₃, and Bi (O-tC₄H₉)₃ And Bi (O-tC five H₁₁)₃ from -- with at least one kind of organic metal raw material chosen from the 1st becoming group Sr (THD)₂ and Sr₂ (THD) At least one kind of organic metal raw material chosen from the 2nd group which consists of tetraglyme, and Sr(Me₅ C₅)₂ and 2THF, Ti (i-OC three H₇)₄, TiO (THD)₂, and Ti(THD)₂ 2 (i-OC three H₇) from -- with at least one kind of organic metal raw material chosen from the 3rd becoming group Ta (i-OC three H₇)₅, Ta(i-OC three H₇)₄ THD, Nb₅ (i-OC three H₇) And [whether the mixed gas which mixed at least one kind of organic metal raw material chosen from the 4th group which consists of Nb(i-OC three H₇)₄THD to the predetermined presentation is used, and] Or Bi (C six H₅)₃ and Bi (o-C seven H₇)₃, Bi (O-C two H₅)₃, Bi (O-iC three H₇)₃, and Bi (O-tC four H₉)₃ And

Bi (O-tC five H11)3 from -- with at least one kind of organic metal raw material chosen from the 1st becoming group At least one kind of organic metal raw material chosen from the 2nd group which consists of SrTa2 12 (OC two H5) and SrNb2 12 (OC two H5) (BAIMETA rucksack alkoxide), Ti (i-oC three H7)4 and TiO (THD)2 And Ti(THD)2 2 (i-OC three H7) from -- the mixed gas which mixed at least one kind of organic metal raw material chosen from the 3rd becoming group to the predetermined presentation is used.

[0020] In this invention, in order to obtain a dielectric film, the precursor film by which patterning was carried out to the configuration of a dielectric capacitor is typically heat-treated in a oxidizing gas ambient atmosphere, and 900 degrees C [500 degrees C or more] or less of heat treatments in this oxidizing gas ambient atmosphere are suitably performed at 650-degree-C or more temperature of 800 degrees C or less. In order to obtain a dielectric film, moreover, the precursor film by which patterning was carried out to the configuration of a dielectric capacitor After heat-treating in nitrogen-gas-atmosphere mind at 500-degree-C or more temperature of 900 degrees C or less, You may heat-treat in a oxidizing gas ambient atmosphere at 500-degree-C or more temperature of 900 degrees C or less. After heat-treating in nitrogen-gas-atmosphere mind at 500-degree-C or more temperature of 900 degrees C or less, Ozone may be heat-treated in the oxidizing gas ambient atmosphere included 0.5% or more at 300-degree-C or more temperature of 600 degrees C or less. Or after heat-treating in the reduced pressure ambient atmosphere of 100 or less Torrs at 500-degree-C or more temperature of 800 degrees C or less, ozone may be heat-treated in the oxidizing gas ambient atmosphere included 0.5% or more at 300-degree-C or more temperature of 600 degrees C or less.

[0021] The thickness of a dielectric film is chosen as 20nm or more 200nm or less in this invention. The thickness of this dielectric film is suitably chosen as 20nm or more 100nm or less, and is further chosen more suitably as 30nm or more 80nm or less from a viewpoint which realizes low-battery actuation in the semiconductor device using this dielectric capacitor by the viewpoint which realizes a better property.

[0022] In invention and invention of the 3rd of the 1st of this invention, the process which carries out patterning of an up electrode and the precursor film to the configuration of a dielectric capacitor by etching at least Typically, it is carried out by the reactive-ion-etching method or the ion milling method, and sets to invention and invention of the 4th of the 2nd of this invention similarly. Typically, the process which carries out patterning of an up electrode and the precursor film to the configuration of a dielectric capacitor by etching is performed by the reactive-ion-etching method or the ion milling method.

[0023] In invention and invention of the 4th of the 2nd of this invention, a protective coat is an insulator layer typically. In addition, as for the combination of the ingredient of this protective coat, and the ingredient of a dielectric film, therefore the combination of the ingredient of a protective coat, and the ingredient of the precursor film, it is desirable that they are the thing to which mutual configuration elements do not react, or the thing which will form a stable insulator layer even if a reaction occurs. From this viewpoint, it responds to the configuration element of a dielectric film as an ingredient of this protective coat, for example, is SrTa 2O6, Ta 2O5, Nb 2O5, ZrO2, CeO2, and Y2 O3. Or HfO2 It is used.

[0024] According to invention of the 1st or the 3rd of this invention constituted as mentioned above In case the dielectric capacitor using the dielectric of the perovskite mold crystal structure as a dielectric film is formed Sequential formation of the precursor film and up electrode which use as a principal component the amorphous phase or fluorite phase which consists of a lower electrode and a configuration element of a dielectric is carried out. By heat-treating the precursor film by which patterning was carried

out to the configuration of a dielectric capacitor, after carrying out patterning of an up electrode and the precursor film to the configuration of a dielectric capacitor by etching at least The crystal grain in the dielectric film finally obtained by carrying out the phase change of an amorphous phase or the fluorite phase to the crystal phase of the perovskite mold crystal structure, and trying obtaining a dielectric film Etching processing cannot receive a damage, therefore degradation of the property of the dielectric capacitor by etching processing can be prevented.

[0025] According to invention or invention of the 4th of the 2nd of this invention constituted as mentioned above In case the dielectric capacitor using the dielectric of the perovskite mold crystal structure as a dielectric film is formed Sequential formation of the precursor film and up electrode which use as a principal component the amorphous phase or fluorite phase which consists of a lower electrode and a configuration element of a dielectric is carried out. By forming the protective coat so that the side attachment wall of these up electrodes and the precursor film may be covered after carrying out patterning of an up electrode and the precursor film to the configuration of a dielectric capacitor by etching Since a specific metal can deposit on the side attachment wall of a dielectric capacitor in the time of etching of a lower electrode, and the case of heat treatment performed after that or it can prevent that a conductive oxide is generated, degradation of the leak current characteristic of a dielectric capacitor can be prevented. Moreover, according to this 2nd and 4th invention, degradation of the property of the dielectric capacitor by etching processing can also be prevented by trying obtaining a dielectric film by heat-treating the precursor film by which patterning was carried out to the configuration of a dielectric capacitor like the case of the 1st and the 3rd invention.

[0026]

[Embodiment of the Invention] Hereafter, it explains, referring to a drawing about the operation gestalt of this invention. first, the 1- of this invention which applied the manufacture approach of the dielectric capacitor by this invention to manufacture of the dielectric capacitor using the SBT film as a dielectric film -- the 4th operation gestalt is explained. in addition, the 1- in the complete diagram of the 4th operation gestalt, the sign identically same into a corresponding part is attached.

[0027] Drawing 1 is a sectional view for explaining the manufacture approach of the dielectric capacitor by the 1st operation gestalt of this invention.

[0028] As the manufacture approach of the dielectric capacitor by this 1st operation gestalt is first shown in drawing 1 A, it is the usual conditions for example, by the sputtering method on the conductive Si substrate 1, and it is IrO₂ as a lower electrode. Sequential membrane formation of the film 2 and the Ir film 3 is carried out. Here, it is IrO₂. The thickness of the film 2 is chosen as 100nm, and the thickness of the Ir film 3 is chosen as 200nm.

[0029] next, the Ir film 3 top -- for example, MOCVD -- the amorphous film 4 as precursor film of SBT which consists of Sr, Bi, Ta, and O which are the configuration element of the SBT film finally obtained by law is formed. The Si substrate 1 which even the Ir film 3 formed is specifically installed on the susceptor of the reaction chamber (membrane formation room) of the MOCVD system which carried out the illustration abbreviation, and it heats and holds in substrate temperature of 400-650 degrees C. And Bi (C six H₅)₃ and Sr₂ (DPM) What mixed each organic metal raw material of tetraglyme (tetraglyme) (DPM= dipivaloyl meta-NETO) and Ta(i-OC three H₇)₄ DPM to the predetermined presentation ratio is made to evaporate. And after setting up so that the gas obtained by this may be mixed with argon carrier gas and those total flow may be set to 1000SCCM(s), and mixing with the oxygen gas of flow rate

1000SCCM just before a reaction chamber, it introduces into a reaction chamber by making this mixed gas into material gas, and membranes are formed by the reagent-gas-pressure force of 0.1 - 50Torr. The amorphous film 4 as precursor film of SBT is formed by this. The thickness of this amorphous film 4 is chosen as 150nm, and the range of an atomic composition ratio is chosen as $2.0 \leq \text{Bi/Ta} \leq 2.6$ and $0.6 \leq \text{Sr/Ta} \leq 1.2$.

[0030] Next, the Pt film 5 as an up electrode is formed on condition that usual for example, by the sputtering method on this amorphous film 4. The thickness of this Pt film 5 is chosen as 100nm.

[0031] Next, as shown in drawing 1 B, they are the Pt film 5, the amorphous film 4, the Ir film 3, and IrO₂. Patterning of the film 2 is carried out to the configuration of the dielectric capacitor of 2micrometerx2micrometer size for example, by the RIE method.

[0032] Next, by heat-treating the amorphous film 4 by which did in this way and patterning was carried out to the configuration of a dielectric capacitor at 750 degrees C in the oxygen ambient atmosphere of ordinary pressure for 1 hour for example, the phase change of the amorphous phase in the amorphous film 4 is carried out to the crystal phase of Bi system layer structure perovskite mold crystal structure, and the amorphous film 4 is crystallized. By this, as shown in drawing 1 C, the SBT film 6 is obtained between the Ir film 3 and the Pt film 5. This SBT film 6 consists of a ferroelectric of Bi system layer structure perovskite mold crystal structure expressed with empirical formula $\text{Bix Sry Ta}_{2.0} \text{Oz}$ (however, $2.0 \leq x \leq 2.6$, $0.6 \leq y \leq 1.2$, $z = 9 \cdot d$, $0 \leq d \leq 1.0$).

[0033] Next, as shown in drawing 1 D, an interlayer insulation film 7 is formed on the whole surface. Next, etching removal of the predetermined part on the Pt film 5 is carried out among interlayer insulation films 7, and contact hole 7a is formed. Next, after forming aluminum alloy film for example, by the sputtering method on the whole surface, patterning of this aluminum alloy film is carried out to a predetermined configuration by etching, it is pulled out, and an electrode 8 is formed.

[0034] The dielectric capacitor made into the purpose using the SBT film as a dielectric film according to the above process is manufactured.

[0035] the place which pulled out with the Si substrate 1 of the dielectric capacitor manufactured as mentioned above, impressed the electrical potential difference between electrodes 8, and measured the (Polarization P)-electrical-potential-difference (V) hysteresis -- dielectric polarization value (remanence value) $2P_r$ ***** -- $2P_r = 10\text{-}25\text{microC/cm}^2$ The value was acquired. This $2P_r$ It is a value good as a dielectric capacitor using the SBT film, and was obtained by the measurement this [whose] let the Si substrate 1 pass. On the other hand, after crystallizing by heat-treating the amorphous film 4 like the conventional technique and obtaining the SBT film 6, The Pt film 5 is formed on this SBT film 6, and they are the next and Pt film 5, the SBT film 6, the Ir film 3, and IrO₂. Were manufactured by carrying out patterning of the film 2 to the configuration of a dielectric capacitor by etching. Remanence value $2P_r$ of the dielectric capacitor of 2micrometerx2micrometer size 10microC/cm^2 It was the following. From the above thing, it sets to the dielectric capacitor using the SBT film by applying the manufacture approach of the dielectric capacitor by this invention, and is remanence value $2P_r$. It turns out that it is improved remarkably.

[0036] Here, the thickness dependency of the SBT film 6 of the property of this dielectric capacitor is considered. Drawing 2 is the thickness of the SBT film 6 when forming the amorphous film 4 as precursor film of SBT with a sol-gel spin coat method, and remanence value $2P_r$. Relation, and thickness and coercive electric field $2E_C$ of the SBT film 6 Relation is shown. When the thickness of the SBT film 6 is

50-110nm from drawing 2, it is 13-14microC/cm². Remanence value 2Pr with high extent And coercive electric field 2EC with small 100 kV/cm extent It turns out that it is obtained. although the above is about the case where the precursor film of SBT is formed with a spin coat method -- this 1st operation gestalt -- like -- the precursor film of SBT -- MOCVD -- when membranes are formed by law, even if the thickness of the SBT film 6 is about 40nm or less -- good remanence value 2Pr And coercive electric field 2EC It is thought that it is obtained. Therefore, in this dielectric capacitor, although the thickness of the SBT film 6 is usually chosen as 20nm or more 200nm or less, from a viewpoint which acquires a better property, it can be said that it is desirable to be referred to as 20nm or more 100nm or less as for the thickness of this SBT film 6. Moreover, detailed-ization of a component progresses further, and if it puts into a visual field that the operating voltage of a semiconductor device is reduced increasingly, it can be said to be more desirable [the thickness of this SBT film 6 / being referred to as 30nm or more 80nm or less].

[0037] As mentioned above, in case the dielectric capacitor using the SBT film as a dielectric film is manufactured according to this 1st operation gestalt IrO₂ Sequential membrane formation of the amorphous film 4 as the lower electrode which consists of film 2 and Ir film 3, and precursor film of SBT, and the Pt film 5 as an up electrode is carried out. By carrying out patterning of these to the configuration of a dielectric capacitor by etching, and heat-treating the amorphous film 4 by which patterning was carried out after this to the configuration of a dielectric capacitor By carrying out the phase change of the amorphous phase in this amorphous film 4 to the crystal phase of the perovskite mold crystal structure, and trying obtaining the SBT film 6 as a dielectric film The crystal grain in the SBT film 6 finally obtained is remanence value 2Pr of the dielectric capacitor etching does not receive a damage and according to etching processing. Can prevent degradation effectively and it compares with the conventional technique. Remanence value 2Pr It has the advantage of being improved remarkably. By this, it is the area of a dielectric capacitor 10 micrometers² Even if it is the case where it reduces to below (this example 2micrometerx 2 micrometers), a dielectric capacitor with a good property is realizable.

[0038] Drawing 3 is a sectional view for explaining the manufacture approach of the dielectric capacitor by the 2nd operation gestalt of this invention.

[0039] In the manufacture approach of the dielectric capacitor by this 2nd operation gestalt, as shown in drawing 3 A, the same process is followed also in the 1st operation gestalt, and it is IrO₂ on the Si substrate 1. Sequential membrane formation of the film 2, the Ir film 3, and the amorphous film 4 is carried out.

[0040] next, the amorphous film 4 -- for example, RTA (Rapid Thermal Annealing) -- the phase change of the amorphous phase in this amorphous film 4 is carried out to a fluorite phase by heat-treating for 30 seconds at 700-800 degrees C by law. This obtains the fluorite film 9 as precursor film of SBT which consists of Sr, Bi, Ta, and O on the Ir film 3, as shown in drawing 3 B. Here, the thickness of the fluorite film 9 is chosen as 150nm, and the range of an atomic composition ratio is chosen as $2.0 \leq 2\text{Bi}/\text{Ta} \leq 2.6$ and $0.6 \leq 2\text{Sr}/\text{Ta} \leq 1.2$.

[0041] Next, as shown in drawing 3 C, the Ir film 10 as an up electrode is formed on condition that usual for example, by the sputtering method on this fluorite film 9. The thickness of this Ir film 10 is chosen as 100nm. Next, the Ir film 10, the fluorite film 9, the Ir film 3, and IrO₂ Patterning of the film 2 is carried out to the configuration of the dielectric capacitor of 2micrometerx2micrometer size for example, by the RIE method.

[0042] Next, by heat-treating the fluorite film 9 by which did in this way and patterning was carried out

to the configuration of a dielectric capacitor at 750 degrees C in the oxygen ambient atmosphere of ordinary pressure for 1 hour for example, the phase change of the fluorite phase in this fluorite film 9 is carried out to the crystal phase of Bi system layer structure perovskite mold crystal structure, and the fluorite film 9 is crystallized. By this, as shown in drawing 3 D, the SBT film 6 is obtained between the Ir film 3 and the Ir film 10. This SBT film 6 consists of a ferroelectric of Bi system layer structure perovskite mold crystal structure expressed with empirical formula $Bix Sry Ta_{2.0} Oz$ (however, $2.0 \leq x \leq 2.6$, $0.6 \leq y \leq 1.2$, $z = 9 \cdot d$, $0 \leq d \leq 1.0$).

[0043] Next, as the 1st operation gestalt is shown in drawing 3 E according to the same process, the dielectric capacitor made into the purpose using the SBT film as a dielectric film is manufactured by forming an interlayer insulation film 7, contact hole 7a, and the drawer electrode 8.

[0044] When the P-V hysteresis was similarly measured in the 1st operation gestalt about the dielectric capacitor manufactured as mentioned above, it is remanence value $2Pr$. It carries out and is $2Pr = 10 \sim 25 \mu C/cm^2$. The value was acquired. This $2Pr$ It is a value good as a dielectric capacitor using the SBT film, and was obtained by the measurement this [whose] let the Si substrate 1 pass. On the other hand, after crystallizing by heat-treating the fluorite film 9 like the conventional technique and obtaining the SBT film 6, The Ir film 10 is formed on this SBT film 6, and they are the next and Ir film 10, the SBT film 6, the Ir film 3, and IrO_2 . Were manufactured by carrying out patterning of the film 2 to the configuration of a dielectric capacitor by etching. Remanence value $2Pr$ of the dielectric capacitor of $2 \mu m \times 2 \mu m$ size It was two or less $10 \mu C/cm$. From the above thing, it sets to the dielectric capacitor using the SBT film by applying the manufacture approach of the dielectric capacitor by this invention, and is remanence value $2Pr$. It turns out that it is improved remarkably.

[0045] As mentioned above, in case the dielectric capacitor using the SBT film as a dielectric film is manufactured according to this 2nd operation gestalt IrO_2 as a lower electrode Sequential membrane formation of the fluorite film 9 as the film 2, the Ir film 3, and precursor film of SBT and the Ir film 10 as an up electrode is carried out. By heat-treating the fluorite film 9 by which patterning was carried out, after carrying out patterning of these to the configuration of a dielectric capacitor by etching By carrying out the phase change of the fluorite phase in this fluorite film 9 to the crystal phase of the perovskite mold crystal structure, and trying obtaining the SBT film 6 as a dielectric film, the same advantage as the 1st operation gestalt can be acquired.

[0046] Drawing 4 is a sectional view for explaining the manufacture approach of the dielectric capacitor by the 3rd operation gestalt of this invention.

[0047] In the manufacture approach of the dielectric capacitor by this 3rd operation gestalt As shown in drawing 4 A, the same process is followed also in the 1st operation gestalt. It is IrO_2 on the Si substrate 1. After carrying out sequential membrane formation of the amorphous film 4 as the lower electrode which consists of film 2 and Ir film 3, and precursor film of SBT, on this amorphous film 4 with for example, a CVD method The Ru film 11 of 100nm of thickness is formed as an up electrode, and patterning of the Ru film 11 and the amorphous film 4 is carried out to the configuration of the dielectric capacitor of $2 \mu m \times 2 \mu m$ size for example, by the RIE method. Next, it is Ta_2O_5 as a protective coat for example, by the MOCVD method to the whole surface so that the side attachment wall of the Ru film 11 by which patterning was carried out in this way to the configuration of a dielectric capacitor, and the amorphous film 4 may be covered. The film 12 is formed. This Ta_2O_5 The thickness of the film 12 is chosen as 30nm.

[0048] Next, that side attachment wall is Ta 2O₅ about the amorphous film 4 by which patterning was carried out in this way to the configuration of a dielectric capacitor. It is in the condition covered by the film 12, for example, by heat-treating at 750 degrees C in the oxygen ambient atmosphere of ordinary pressure for 1 hour for example, the phase change of the amorphous phase in the amorphous film 4 is carried out to the crystal phase of the perovskite mold crystal structure, and this amorphous film 4 is crystallized. By this, as shown in drawing 4 B, the SBT film 6 is obtained between the Ir film 3 and the Ru film 11. This SBT film 6 consists of a ferroelectric of Bi system layer structure perovskite mold crystal structure expressed with empirical formula $BixSryTa_{2.0}O_z$ (however, $2.0 \leq x \leq 2.6$, $0.6 \leq y \leq 1.2$, $z = 9 \pm d$, $0 \leq d \leq 1.0$).

[0049] Next, it is Ta 2O₅ so that it may leave 2OTa₅ film 12 to the side attachment wall of the Ru film 11 and the SBT film 6, as shown in drawing 4 C. The film 12, the Ir film 3, and IrO₂ Patterning of the film 2 is carried out to a predetermined configuration by etching.

[0050] Next, as shown in drawing 4 D, an interlayer insulation film 7 is formed on the whole surface. Next, an interlayer insulation film 7 and Ta 2O₅ Etching removal of the predetermined part on the Ru film 11 is carried out among film 12, and contact hole 7a is formed. Next, after forming aluminum alloy film for example, by the sputtering method on the whole surface, patterning of this aluminum alloy film is carried out to a predetermined configuration by etching, it is pulled out, and an electrode 8 is formed.

[0051] The dielectric capacitor made into the purpose using the SBT film as a dielectric film according to the above process is manufactured.

[0052] the time of the impression electric field of the value being 300kV/cm, when it pulls out with the Si substrate 1 of the dielectric capacitor manufactured as mentioned above, an electrical potential difference is impressed between electrodes 8 and leakage current is measured -- 1×10^{-8} A/cm² it was . This is a value good as a dielectric capacitor which used the SBT film. on the other hand, Ta 2O₅ the time of the impression electric field of the leakage current of the dielectric capacitor which obtained the SBT film 6 by heat-treating the amorphous film 4, without forming the film 12 being 300 kV/cm -- 5×10^{-7} A/cm² it was . From the above result, by applying the manufacture approach of the dielectric capacitor by this invention shows that the leak current characteristic of the dielectric capacitor using the SBT film is improved remarkably.

[0053] As mentioned above, in case the dielectric capacitor using the SBT film is formed according to this 3rd operation gestalt IrO₂ Sequential formation of the amorphous film 4 as the lower electrode which consists of film 2 and Ir film 3, and precursor film of SBT, and the Ru film 11 as an up electrode is carried out. After carrying out patterning of the Ru film 11 and the amorphous film 4 to the configuration of a dielectric capacitor by etching, It is Ta 2O₅ as a protective coat so that the side attachment wall of the Ru film 11 and the amorphous film 4 may be covered. By forming the film 12 IrO₂ Since a specific metal can deposit on the side attachment wall of a dielectric capacitor in the time of etching of the lower electrode which consists of film 2 and Ir film 3, and the case of heat treatment performed after that or it can prevent that a conductive oxide is generated Degradation of the leak current characteristic of a dielectric capacitor can be prevented effectively, and it has the advantage that a leak current characteristic is improved remarkably, as compared with the former.

[0054] Moreover, it is remanence value 2Pr like the 1st operation gestalt by trying obtaining the SBT film 6 by heat-treating this amorphous film 4 and crystallizing, after carrying out patterning of the amorphous film 4 as precursor film of SBT to the configuration of a dielectric capacitor according to this

3rd operation gestalt. The advantage of being improved can also be acquired.

[0055] Therefore, according to this 3rd operation gestalt, it is the area of a dielectric capacitor 10 micrometers 2 Even if it is the case where it considers as the following, while a dielectric capacitor with a good property is realizable, improvement in dependability can be aimed at.

[0056] Drawing 5 is a sectional view for explaining the manufacture approach of the dielectric capacitor by the 4th operation gestalt of this invention.

[0057] In the manufacture approach of the dielectric capacitor by this 4th operation gestalt The same process is followed also in the 2nd operation gestalt, and it is IrO₂ as a lower electrode on the Si substrate 1. After carrying out sequential membrane formation of the film 2, the Ir film 3, and the amorphous film 4, By heat-treating this amorphous film 4, the phase change of the amorphous phase is carried out to a fluorite phase, and the fluorite film 9 as precursor film of SBT is obtained. Next, after forming the Ir film 10 as an up electrode on the fluorite film 9 according to the same process also in the 2nd operation gestalt, as shown in drawing 5 A, patterning of the Ir film 10 and the fluorite film 9 is carried out to the configuration of the dielectric capacitor of 2micrometerx2micrometer size for example, by the RIE method. Next, it is Ta 2O₅ as a protective coat for example, by the MOCVD method to the whole surface so that the side attachment wall of the Ir film 10 by which patterning was carried out in this way to the configuration of a dielectric capacitor, and the fluorite film 9 may be covered. The film 12 is formed. This Ta 2O₅ The thickness of the film 12 is chosen as 30nm.

[0058] Next, when it can set in the 3rd operation gestalt, a side attachment wall is Ta 2O₅ similarly. In the condition of having been covered by the film 12, by heat-treating the fluorite film 9 by which patterning was carried out to the configuration of a dielectric capacitor at 750 degrees C in the oxygen ambient atmosphere of ordinary pressure for 1 hour for example, the phase change of the fluorite phase in the fluorite film 9 is carried out to the crystal phase of the perovskite mold crystal structure, and this fluorite film 9 is crystallized. By this, the SBT film 6 is obtained between the Ir film 3 and the Ir film 10 like to drawing 5 B. This SBT film 6 consists of a ferroelectric of Bi system layer structure perovskite mold crystal structure expressed with empirical formula $BixSryTa_{2.0}Oz$ (however, $2.0 \leq x \leq 2.6$, $0.6 \leq y \leq 1.2$, $z = 9 \cdot d$, $0 \leq d \leq 1.0$).

[0059] Next, as shown in drawing 5 C, it is Ta 2O₅ to the side attachment wall of the Ir film 10 and the fluorite film 9. It is Ta 2O₅ so that it may leave the film 12. The film 12, the Ir film 3, and IrO₂ Patterning of the film 2 is carried out to a predetermined configuration by etching.

[0060] Next, as the 3rd operation gestalt is shown in drawing 5 D according to the same process, the dielectric capacitor made into the purpose using the SBT film as a dielectric film is manufactured by forming an interlayer insulation film 7, contact hole 7a, and the drawer wiring 8.

[0061] the time of the impression electric field of the value being 300kV/cm, when leakage current is similarly measured in the 3rd operation gestalt about the dielectric capacitor manufactured as mentioned above -- 1×10^{-8} A/cm² it was . on the other hand, Ta 2O₅ the time of the impression electric field of the leakage current of the dielectric capacitor which obtained the SBT film 6 by heat-treating the fluorite film 9, without forming the film 12 being 300 kV/cm -- 5×10^{-7} A/cm² it was . From the above result, by applying the manufacture approach of the dielectric capacitor by this invention shows that the leak current characteristic of the dielectric capacitor using the SBT film is improved remarkably.

[0062] According to this 4th operation gestalt, in case the dielectric capacitor using the SBT film as a dielectric film is manufactured, when carrying out the phase change of the fluorite phase to Bi system

layer structure perovskite mold crystal structure and obtaining the SBT film, the same effectiveness as the 3rd operation gestalt can be acquired.

[0063] Next, the 5th of this invention and the 6th operation gestalt which applied the manufacture approach of the dielectric capacitor by this invention to manufacture of the dielectric capacitor using the PZT film as a dielectric film are explained. In addition, in the complete diagram of the 5th and 6th operation gestalten, the sign identically same into a corresponding part is attached.

[0064] Drawing 6 is a sectional view for explaining the manufacture approach of the dielectric capacitor by the 5th operation gestalt of this invention.

[0065] In the manufacture approach of the dielectric capacitor by this 5th operation gestalt, as shown in drawing 6 A, it is the usual conditions for example, by the sputtering method on the conductive Si substrate 21, and it is IrO₂ as a lower electrode. Sequential membrane formation of the film 22 and the Ir film 23 is carried out. Here, it is IrO₂. The thickness of the film 22 is chosen as 100nm, and the thickness of the Ir film 23 is chosen as 100nm.

[0066] next, the Ir film 23 top -- MOCVD -- the amorphous film 24 as precursor film of PZT which consists of Pb, Zr, Ti, and O which are the configuration element of the PZT film finally obtained by law is formed. The Si substrate 21 which even the Ir film 23 formed is specifically installed on the susceptor of the reaction chamber (membrane formation room) of the MOCVD system which carried out the illustration abbreviation, and it heats and holds in substrate temperature of 400-650 degrees C. And Pb (DPM)₂ and Zr₂ (DPM) And Ti(i-OC three H₇)₂ 2 (DPM) What mixed each organic metal raw material to the predetermined presentation ratio is made to evaporate. And after setting up so that the gas obtained by this may be mixed with argon carrier gas and those total flow may be set to 1000SCCM(s), and mixing with the oxygen gas of flow rate 1000SCCM just before a reaction chamber, it introduces into a reaction chamber by making this mixed gas into material gas, and membranes are formed by the reagent-gas-pressure force of 0.1 - 50Torr. The amorphous film 24 as precursor film of PZT is formed by this. The thickness of this amorphous film 24 is chosen as 150nm, and the range of an atomic composition ratio is chosen as $0.1 \leq \text{Zr/Pb} \leq 0.6$ and $0.4 \leq \text{Ti/Pb} \leq 0.9$.

[0067] Next, the Ir film 25 as an up electrode is formed on condition that usual for example, by the sputtering method on this amorphous film 24. The thickness of this Ir film 25 is chosen as 100nm.

[0068] Next, as shown in drawing 6 B, they are the Ir film 25, the amorphous film 24, the Ir film 23, and IrO₂. Patterning of the film 22 is carried out to the configuration of the dielectric capacitor of 2micrometerx2micrometer size for example, by the RIE method.

[0069] Next, by heat-treating the amorphous film 24 by which did in this way and patterning was carried out to the configuration of a dielectric capacitor for 30 minutes at 650 degrees C in the oxygen ambient atmosphere of ordinary pressure for example, the phase change of the amorphous phase in the amorphous film 24 is carried out to the crystal phase of the perovskite mold crystal structure, and this amorphous film 24 is crystallized. By this, as shown in drawing 6 C, the PZT film 26 is obtained between the Ir film 23 and the Ir film 25. This PZT film 26 consists of a ferroelectric of the perovskite mold crystal structure expressed with empirical formula $\text{Pb}_{1.0} \text{Ti}_{1.0} (\text{Zr}_x \text{Ti}_{1-x}) \text{O}_3$ (however, $0.1 \leq x \leq 0.6$).

[0070] Next, as shown in drawing 6 D, an interlayer insulation film 27 is formed in the whole surface. Next, etching removal of the predetermined part on the Ir film 25 is carried out among this interlayer insulation film 27, and contact hole 27a is formed. Next, after forming aluminum alloy film for example, by the sputtering method on the whole surface, patterning of this aluminum alloy film is carried out to a

predetermined configuration by etching, it is pulled out, and an electrode 28 is formed.

[0071] The dielectric capacitor made into the purpose using the PZT film as a dielectric film according to the above process is manufactured.

[0072] When it pulled out with the Si substrate 21 of the dielectric capacitor manufactured as mentioned above, the electrical potential difference was impressed between electrodes 28 and the P-V hysteresis was measured, it is remanence value $2Pr$. It carries out and is $2Pr = 20\text{-}60\text{microC/cm}^2$. The value was acquired. This $2Pr$ It is a value good as a dielectric capacitor using the PZT film, and was obtained by the measurement this [whose] let the Si substrate 21 pass. On the other hand, after crystallizing by heat-treating the amorphous film 24 like the conventional technique and obtaining the PZT film 26, The Ir film 25 is formed on this PZT film 26, and they are the next and Ir film 25, the PZT film 26, the Ir film 23, and IrO₂. Were manufactured by carrying out patterning of the film 22 to the configuration of a dielectric capacitor by etching. Remanence value $2Pr$ of the dielectric capacitor of $2\text{micrometer} \times 2\text{micrometer}$ size 10microC/cm^2 It was the following. From the above thing, it sets to the dielectric capacitor using the PZT film by applying the manufacture approach of the dielectric capacitor by this invention, and is remanence value $2Pr$. It turns out that it is improved remarkably.

[0073] According to this 5th operation gestalt, when manufacturing the dielectric capacitor using the PZT film as a dielectric film, the same effectiveness as the 1st operation gestalt can be acquired.

[0074] Drawing 7 is a sectional view for explaining the manufacture approach of the dielectric capacitor by the 6th operation gestalt of this invention.

[0075] In the manufacture approach of the dielectric capacitor by this 6th operation gestalt The same process is followed also in the 5th operation gestalt. On the Si substrate 21 IrO₂ as a lower electrode After carrying out sequential membrane formation of the amorphous film 24 as the film 22, the Ir film 23, and precursor film of PZT, and the Ir film 25 as an up electrode, as shown in drawing 7 A Patterning of the Ir film 25 and the amorphous film 24 is carried out to the configuration of the dielectric capacitor of $2\text{micrometer} \times 2\text{micrometer}$ size for example, by the RIE method. Next, it is Y₂O₃ as a protective coat for example, by the MOCVD method to the whole surface so that the side attachment wall of the Ir film 25 by which patterning was carried out in this way to the configuration of a dielectric capacitor, and the amorphous film 24 may be covered. The film 29 is formed. This Y₂O₃ The thickness of the film 29 is chosen as 30nm.

[0076] Next, a side attachment wall is Y₂O₃ in this way. In the condition of having been covered by the film 29, by heat-treating the amorphous film 24 by which patterning was carried out to the configuration of a dielectric capacitor at 750 degrees C in the oxygen ambient atmosphere of ordinary pressure for 1 hour for example, the phase change of the amorphous phase in the amorphous film 24 is carried out to the crystal phase of the perovskite mold crystal structure, and this amorphous film 24 is crystallized. By this, as shown in drawing 7 B, the PZT film 26 is obtained between the Ir film 23 and the Ir film 25. This PZT film 26 consists of a ferroelectric of the perovskite mold crystal structure expressed with empirical formula $\text{Pb}_{1.0}\text{Ti}_{1.0}(\text{Zr}_x\text{Ti}_{1-x})\text{O}_3$ (however, $0.1 \leq x \leq 0.6$).

[0077] Next, it is Y₂O₃ so that it may leave 2OY₃ film 29 to the side attachment wall of the Ir film 25 and the PZT film 26, as shown in drawing 7 C. The film 29, the Ir film 23, and IrO₂ Patterning of the film 22 is carried out to a predetermined configuration by etching.

[0078] Next, as shown in drawing 7 D, an interlayer insulation film 27 is formed on the whole surface. Next, an interlayer insulation film 27 and Y₂O₃ Etching removal of the predetermined part on the Ir film

25 is carried out among film 29, and contact hole 27a is formed. Next, after forming aluminum alloy film for example, by the sputtering method on the whole surface, patterning of this aluminum alloy film is carried out to a predetermined configuration by etching, it is pulled out, and an electrode 28 is formed.

[0079] The dielectric capacitor made into the purpose using the PZT film as a dielectric film according to the above process is manufactured.

[0080] the time of the impression electric field of the value being 300kV/cm, when it pulls out with the Si substrate 21 of the dielectric capacitor manufactured as mentioned above, an electrical potential difference is impressed between electrodes 18 and leakage current is measured -- 1×10^{-8} A/cm² it was . This is a value good as a dielectric capacitor which used the PZT film. Y₂O₃ [on the other hand,] the time of the impression electric field of the leakage current of the dielectric capacitor which obtained the PZT film 26 by heat-treating the amorphous film 24, without forming the film 29 being 300 kV/cm -- 5×10^{-7} A/cm² it was . From the above result, by applying the manufacture approach of the dielectric capacitor by this invention shows that the leak current characteristic of the dielectric capacitor using the PZT film is improved remarkably.

[0081] According to this 6th operation gestalt, when manufacturing the dielectric capacitor using the PZT film as a dielectric film, the same effectiveness as the 3rd operation gestalt can be acquired.

[0082] Next, the 7th of this invention and the 8th operation gestalt which applied the manufacture approach of the dielectric capacitor by this invention to manufacture of the dielectric capacitor using the PNZT film as a dielectric film are explained. In addition, in the complete diagram of the 7th and 8th operation gestalten, the sign identically same into a corresponding part is attached.

[0083] Drawing 8 is a sectional view for explaining the manufacture approach of the dielectric capacitor by the 7th operation gestalt of this invention.

[0084] In the manufacture approach of the dielectric capacitor by this 7th operation gestalt, as shown in drawing 8 A, it is the usual conditions for example, by the sputtering method on the conductive Si substrate 31, and it is IrO₂ as a lower electrode. Sequential membrane formation of the film 32 and the Ir film 33 is carried out. Here, it is IrO₂. The thickness of the film 32 is chosen as 100nm, and the thickness of the Ir film 33 is chosen as 200nm.

[0085] Next, the amorphous film 34 as precursor film of PNZT which consists of Pb, Zr, Ti, Nb, and O which are the configuration element of the PNZT film finally obtained is formed with a sol-gel spin coat method on the Ir film 33. The thickness of this amorphous film 34 is chosen as 150nm, and the range of an atomic composition ratio is chosen as $0.1 \leq \text{Zr/Pb} \leq 0.6$, $0.4 \leq \text{Ti/Pb} \leq 0.9$, and $0.03 \leq \text{Nb/Pb} \leq 0.3$.

[0086] Next, the Ir film 35 as an up electrode is formed on condition that usual for example, by the sputtering method on this amorphous film 34. The thickness of this Ir film 35 is chosen as 100nm.

[0087] Next, as shown in drawing 8 B, they are the Ir film 35, the amorphous film 34, the Ir film 33, and IrO₂. Patterning of the film 32 is carried out to the configuration of the dielectric capacitor of 2micrometerx2micrometer size for example, by the RIE method.

[0088] Next, by heat-treating the amorphous film 34 after doing in this way and carrying out patterning to the configuration of a dielectric capacitor for 30 minutes at 650 degrees C in the oxygen ambient atmosphere of ordinary pressure for example, the phase change of the amorphous phase in the amorphous film 34 is carried out to the crystal phase of the perovskite mold crystal structure, and this amorphous film 34 is crystallized. By this, as shown in drawing 8 C, the PNZT film 36 is obtained between the Ir film 33 and the Ir film 35. This PNZT film 36 consists of a ferroelectric of the perovskite

mold crystal structure expressed with empirical formula $\text{Pb}_{1.0-y}\text{Nb}_y\text{1.0}(\text{Zr}_x\text{Ti}_{1-x})\text{O}_3$ (however, $0.1 \leq x \leq 0.6$, $0.03 \leq y \leq 0.30$).

[0089] Next, as shown in drawing 8 D, an interlayer insulation film 37 is formed in the whole surface. Next, etching removal of the predetermined part on the Ir film 34 is carried out among this interlayer insulation film 37, and contact hole 37a is formed. Next, after forming aluminum alloy film for example, by the sputtering method on the whole surface, patterning of this aluminum alloy film is carried out to a predetermined configuration by etching, it is pulled out, and an electrode 38 is formed.

[0090] The dielectric capacitor made into the purpose using the PNZT film as a dielectric film according to the above process is manufactured.

[0091] When it pulled out with the Si substrate 31 of the dielectric capacitor manufactured as mentioned above, the electrical potential difference was impressed between electrodes 38 and the P-V hysteresis was measured, it is remanence value $2P_r$. It carries out and is $2P_r = 10\text{--}50\text{microC/cm}^2$. The value was acquired. This $2P_r$ It is a value good as a dielectric capacitor using the PNZT film, and was obtained by the measurement this [whose] let the Si substrate 31 pass. On the other hand, after crystallizing by heat-treating the amorphous film 34 like the conventional technique and obtaining the PNZT film 36, The Ir film 35 is formed on this PNZT film 36, and they are the next and Ir film 35, the PNZT film 36, the Ir film 33, and IrO_2 . Were manufactured by carrying out patterning of the film 32 to the configuration of a dielectric capacitor by etching. Remanence value $2P_r$ of the dielectric capacitor of $2\text{micrometer} \times 2\text{micrometer}$ size 10microC/cm^2 It was the following. From the above thing, it sets to the dielectric capacitor using the PNZT film by applying the manufacture approach of the dielectric capacitor by this invention, and is remanence value $2P_r$. It turns out that it is improved remarkably.

[0092] According to this 7th operation gestalt, when manufacturing the dielectric capacitor using the PNZT film as a dielectric film, the same effectiveness as the 1st operation gestalt can be acquired.

[0093] Drawing 9 is a sectional view for explaining the manufacture approach of the dielectric capacitor by the 8th operation gestalt of this invention.

[0094] In the manufacture approach of the dielectric capacitor by this 8th operation gestalt As shown in drawing 9 A, the same process is followed also in the 7th operation gestalt. On the Si substrate 31, it is IrO_2 as a lower electrode. After carrying out sequential membrane formation of the amorphous film 34 as the film 32, the Ir film 33, and precursor film of PNZT, and the Ir film 35 as an up electrode, Patterning of the Ir film 35 and the amorphous film 34 is carried out to the configuration of the dielectric capacitor of $2\text{micrometer} \times 2\text{micrometer}$ size for example, by the RIE method. Next, it is Y_2O_3 as a protective coat for example, by the MOCVD method to the whole surface so that the side attachment wall of the Ir film 35 by which patterning was carried out in this way to the configuration of a dielectric capacitor, and the amorphous film 34 may be covered. The film 39 is formed. This Y_2O_3 The thickness of the film 39 is chosen as 30nm.

[0095] Next, that side attachment wall is the amorphous film 34 by which patterning was carried out in this way to the configuration of a dielectric capacitor Y_2O_3 It is in the condition covered by the film 39, for example, by heat-treating for 30 minutes at 650 degrees C in the oxygen ambient atmosphere of ordinary pressure for example, the phase change of the amorphous phase in the amorphous film 34 is carried out to the crystal phase of the perovskite mold crystal structure, and this amorphous film 34 is crystallized. By this, as shown in drawing 9 B, the PNZT film 36 is obtained between the Ir film 33 and the Ir film 35. This PNZT film 36 consists of a ferroelectric of the perovskite mold crystal structure

expressed with empirical formula $Pb_{1.0-y}Nb_y 1.0 (Zr_x Ti_{1-x})O_3$ (however, $0.1 \leq x \leq 0.6$, $0.03 \leq y \leq 0.30$). [0096] Next, as shown in drawing 9 C, it is Y2 O3 to the side attachment wall of the Ir film 35 and the PNZT film 36. It is Y2 O3 so that it may leave the film 39. The film 39, the Ir film 33, and IrO2 Patterning of the film 32 is carried out to a predetermined configuration by etching.

[0097] Next, as shown in drawing 9 D, an interlayer insulation film 37 is formed on the whole surface. Next, an interlayer insulation film 37 and Y2 O3 Etching removal of the predetermined part on the Ir film 35 is carried out among film 39, and contact hole 37a is formed. Next, after forming aluminum alloy film for example, by the sputtering method on the whole surface, patterning of this aluminum alloy film is carried out to a predetermined configuration by etching, it is pulled out, and an electrode 38 is formed.

[0098] The dielectric capacitor made into the purpose using the PNZT film as a dielectric film according to the above process is manufactured.

[0099] the time of the impression electric field of the value being 300kV, when it pulls out with the Si substrate 31 of the dielectric capacitor manufactured as mentioned above, an electrical potential difference is impressed between electrodes 38 and leakage current is measured -- 1×10^{-8} A/cm² it was . This value is a value good as a dielectric capacitor which used the PNZT film. Y2 O3 [on the other hand,] the time of the impression electric field of the leakage current of the dielectric capacitor which obtained the PNZT film 36 by heat-treating the amorphous film 34, without forming the film 39 being 300 kV/cm -- 1×10^{-6} A/cm² it was . From the above result, by applying the manufacture approach of the dielectric capacitor by this invention shows that the leak current characteristic of the dielectric capacitor using the PNZT film is improved remarkably.

[0100] According to this 8th operation gestalt, when manufacturing the dielectric capacitor using the PNZT film as a dielectric film, the same effectiveness as the 3rd operation gestalt can be acquired.

[0101] Next, the 9th of this invention and the 10th operation gestalt which applied the manufacture approach of the dielectric capacitor by this invention to manufacture of the dielectric capacitor using the BST film as a dielectric film are explained. In addition, in the complete diagram of the 9th and 10th operation gestalten, the sign identically same into a corresponding part is attached.

[0102] Drawing 10 is a sectional view for explaining the manufacture approach of the dielectric capacitor by the 9th operation gestalt of this invention.

[0103] In the manufacture approach of the dielectric capacitor by this 9th operation gestalt, as shown in drawing 10 A, it is the usual conditions for example, by the sputtering method on the conductive Si substrate 41, and they are the Ti film 42 as a lower electrode, the TiN film 43, and RuO2. Sequential membrane formation of the film 44 is carried out. The thickness of the Ti film 42 is chosen as 30nm, the thickness of the TiN film 43 is chosen as 50nm here, and it is RuO2. The thickness of the film 44 is chosen as 100nm.

[0104] next, RuO2 a film 44 top -- for example, MOCVD -- the amorphous film 45 as precursor film of BST which consists of Ba, Sr, Ti, and O which are the configuration element of the BST film finally obtained by law is formed. Specifically, it is RuO2. The Si substrate 41 which even the film 44 formed is installed on the susceptor of the reaction chamber (membrane formation room) of the MOCVD system which carried out the illustration abbreviation, and it heats and holds in substrate temperature of 300-500 degrees C. And Ba (DPM)2 and Sr2 (DPM) And Ti(i-OC three H7)2 2 (DPM) What mixed each organic metal raw material to the predetermined presentation ratio is made to evaporate. And after setting up so that the gas obtained by this may be mixed with argon carrier gas and those total flow may be set to 1000SCCM(s),

and mixing with the oxygen gas of flow rate 1000SCCM just before a reaction chamber, it introduces into a reaction chamber by making this mixed gas into material gas, and membranes are formed by the pressure of 0.1 - 50Torr. The amorphous film 45 as precursor film of BST is formed by this. The thickness of this amorphous film 45 is chosen as 50nm, and the range of an atomic composition ratio is chosen as $0 \leq \text{Sr/Ti} \leq 1.0$ and $0 \leq \text{Ba/Ti} \leq 1.0$.

[0105] Next, the Ru film 46 as an up electrode is formed on condition that usual with a CVD method on this amorphous film 45. The thickness of this Ru film 46 is chosen as 50nm.

[0106] Next, as shown in drawing 10 B, they are the Ti film 42, the TiN film 43, and RuO₂. Patterning of the film 44, the amorphous film 45, and the Ru film 46 is carried out to the configuration of the dielectric capacitor of 1micrometerx1micrometer size for example, by the RIE method.

[0107] next, the amorphous film 45 after doing in this way and carrying out patterning to the configuration of a dielectric capacitor -- for example, the inside of the oxygen ambient atmosphere of ordinary pressure -- setting -- for example, RTA -- after heat-treating for 30 seconds at 700 degrees C by law, by heat-treating for 30 minutes at 600 degrees C in the oxygen ambient atmosphere of ordinary pressure for example, the phase change of the amorphous phase in the amorphous film 45 is carried out to the crystal phase of the perovskite mold crystal structure, and this amorphous film 45 is crystallized. It is RuO₂ as this shows to drawing 10 C. The BST film 47 is obtained between the film 44 and the Ru film 46. This BST film 47 consists of a high dielectric of the perovskite mold crystal structure expressed with empirical formula $(\text{Ba}_x\text{Sr}_{1-x})_{1.0}\text{Ti}_{1.0}\text{O}_3$ (however, $0 \leq x \leq 1.0$).

[0108] Next, as shown in drawing 10 D, an interlayer insulation film 48 is formed in the whole surface. Next, etching removal of the predetermined part on the Ru film 46 is carried out among this interlayer insulation film 48, and contact hole 48a is formed. Next, after forming aluminum alloy film for example, by the sputtering method on the whole surface, patterning of this aluminum alloy film is carried out to a predetermined configuration by etching, it is pulled out, and an electrode 49 is formed.

[0109] The dielectric capacitor made into the purpose using the BST film as a dielectric film according to the above process is manufactured.

[0110] When the dielectric constant epsilon of the BST film 47 in the dielectric capacitor manufactured as mentioned above was measured, the value of $\epsilon = 80-180$ was acquired. This epsilon is a value good as BST film. On the other hand, after crystallizing by heat-treating the amorphous film 45 like the conventional technique and obtaining the BST film 47, The Ru film 46 is formed on this BST film 47, and they are the next and Ru film 46, the BST film 47, and RuO₂. Were manufactured by carrying out patterning of the film 44, the TiN film 43, and the Ti film 42 to the configuration of a dielectric capacitor by etching. The dielectric constant epsilon of the BST film 47 in the dielectric capacitor of 1micrometerx1micrometer size was 50 or less. The above thing shows that the dielectric constant epsilon of the BST film is remarkably improved in the dielectric capacitor using the BST film by applying the manufacture approach of the dielectric capacitor by this invention.

[0111] According to this 9th operation gestalt, when manufacturing the dielectric capacitor using the BST film as a dielectric film, the same advantage as the 1st operation gestalt can be acquired.

[0112] Drawing 11 is a sectional view for explaining the manufacture approach of the dielectric capacitor by the 10th operation gestalt of this invention.

[0113] In the manufacture approach of the dielectric capacitor by this 10th operation gestalt As shown in drawing 11 A, the same process is followed also in the 9th operation gestalt. On the Si substrate 41, it is

the Ti film 42, the TiN film 43, and RuO₂ as a lower electrode. After carrying out sequential membrane formation of the amorphous film 45 as the film 44 and precursor film of BST, and the Ru film 46 as an up electrode, Patterning of the Ru film 46 and the amorphous film 45 is carried out to the configuration of the dielectric capacitor of 1micrometerx1micrometer size for example, by the RIE method. In addition, the thickness of the amorphous film 45 is chosen as 100nm in this case, and the thickness of the Ru film 46 is chosen as 100nm. Next, it is Y₂O₃ as a protective coat for example, by the MOCVD method to the whole surface so that the side attachment wall of the Ru film 46 by which patterning was carried out in this way to the configuration of a dielectric capacitor, and the amorphous film 45 may be covered. The film 50 is formed. This Y₂O₃ The thickness of the film 50 is chosen as 30nm.

[0114] Next, the side attachment wall is the amorphous film 45 by which patterning was carried out in this way to the configuration of a dielectric capacitor Y₂O₃ In the condition of having been covered by the film 50 It is under [oxygen ambient atmosphere / of the ordinary pressure after heat-treating for 30 seconds at 700 degrees C by law] setting. for example, the inside of the oxygen ambient atmosphere of ordinary pressure -- setting -- for example, RTA -- For example, by heat-treating for 30 minutes at 600 degrees C, the phase change of the amorphous phase in the amorphous film 45 is carried out to the crystal phase of the perovskite mold crystal structure, and this amorphous film 45 is crystallized. It is RuO₂ as this shows to drawing 11 B. The BST film 47 is obtained between the film 44 and the Ru film 46. This BST film 47 consists of a high dielectric of the perovskite mold crystal structure expressed with empirical formula (Bax Sr 1-x) 1.0 Ti 1.0O₃ (however, 0<=x<=1.0).

[0115] Next, as shown in drawing 11 C, it is Y₂O₃ to the side attachment wall of the Ru film 46 and the BST film 45. It is Y₂O₃ so that it may leave the film 50. The film 50 and RuO₂ Patterning of the film 44, the TiN film 43, and the Ti film 42 is carried out to a predetermined configuration by etching.

[0116] Next, as shown in drawing 11 D, an interlayer insulation film 48 is formed on the whole surface. Next, an interlayer insulation film 48 and Y₂O₃ Etching removal of the predetermined part on the Ru film 46 is carried out among film 50, and contact hole 48a is formed. Next, after forming aluminum alloy film for example, by the sputtering method on the whole surface, patterning of this aluminum alloy film is carried out to a predetermined configuration by etching, it is pulled out, and an electrode 49 is formed.

[0117] The dielectric capacitor made into the purpose using the BST film as a dielectric film according to the above process is manufactured.

[0118] the time of the impression electric field of the value being 300kV/cm, when it pulls out with the Si substrate 41 of the dielectric capacitor manufactured as mentioned above, an electrical potential difference is impressed between electrodes 49 and leakage current is measured -- 5x10⁻⁹ A/cm² it was . This value is a value good as a dielectric capacitor which used the BST film. Y₂O₃ [on the other hand,] the time of the impression electric field of the leakage current of the dielectric capacitor which obtained the BST film 47 by heat-treating the amorphous film 45, without forming the film 50 being 300 kV/cm -- 1x10⁻⁷ A/cm² it was . From the above result, by applying the manufacture approach of the dielectric capacitor by this invention shows that the leak current characteristic of the dielectric capacitor using the BST film is improved remarkably.

[0119] According to this 10th operation gestalt, when manufacturing the dielectric capacitor using the BST film as a dielectric film, the same effectiveness as the 3rd operation gestalt can be acquired.

[0120] next, the 11- of this invention which applied the manufacture approach of the dielectric capacitor by this invention to manufacture of the dielectric capacitor using the SBT film as a dielectric film -- the

17th operation gestalt is explained. in addition, the 11th in the complete diagram of the 17th operation gestalt, the sign identically same into a corresponding part is attached.

[0121] Drawing 12 is a sectional view for explaining the manufacture approach of the dielectric capacitor by the 11th operation gestalt of this invention.

[0122] As the manufacture approach of the dielectric capacitor by this 11th operation gestalt is shown in drawing 12 A, it is SiO₂ of 300nm of thickness for example, by the oxidizing [thermally] method on the conductive Si substrate 51. After forming the film 52, on this, for example, by the sputtering method, it is the usual conditions and sequential membrane formation of the Ti film 53 and the Pt film 54 as a lower electrode is carried out. Here, the thickness of the Ti film 53 is chosen as 30nm, and the thickness of the Pt film 54 is chosen as 200nm.

[0123] next, the Pt film 54 top -- for example, MOCVD -- the fluorite film 55 as precursor film of SBT film which consists of Bi, Sr, Ta, Ti, and O which are the configuration element of the SBT film finally obtained by law is formed. The Si substrate 51 which even the Pt film 54 formed is specifically installed on the susceptor of the reaction chamber (membrane formation room) of the MOCVD system which carried out the illustration abbreviation, and it heats and holds in substrate temperature of 400-650 degrees C. And Bi (o-C seven H₇)₃, Sr (THD)₂, and Ta (i-OC three H₇)₅, Ti₄ (i-OC three H₇) Each organic metal raw material is mixed with the argon carrier gas of flow rate 200SCCM, 220SCCM, 50SCCM, and 30SCCM, respectively. Furthermore, after mixing with the oxygen gas of flow rate 500SCCM just before a reaction chamber, it introduces into a reaction chamber by making this mixed gas into material gas, and membranes are formed by the reagent-gas-pressure force of 1 - 10Torr. The fluorite film 55 as precursor film of SBT is formed by this. The thickness of this fluorite film 55 is chosen as 200nm. moreover, the range of the atomic composition ratio of this fluorite film 55 -- for example, $0.6 \leq 2\text{Sr}/\text{Ta} \leq 1.2$, $1.7 \leq 2\text{Bi}/\text{Ta} \leq 2.5$, and $0 < 2\text{Ti}/\text{Ta} \leq 1.0$ -- it is suitably chosen as $0.7 \leq 2\text{Sr}/\text{Ta} \leq 1.0$, $2.0 \leq 2\text{Bi}/\text{Ta} \leq 2.4$, and $0.01 \leq 2\text{Ti}/\text{Ta} \leq 1.0$, and is chosen as $0.1 \leq 2\text{Ti}/\text{Ta} \leq 1.0$ more suitably about 2 Ti/Ta.

[0124] Next, the Pt film 56 as an up electrode is formed on condition that usual for example, by the sputtering method on this fluorite film 55. The thickness of this Pt film 56 is chosen as 100nm.

[0125] Next, as shown in drawing 12 B, patterning of the Pt film 56, the fluorite film 55, the Pt film 54, and the Ti film 53 is carried out to the configuration of the dielectric capacitor of 2micrometerx2micrometer size for example, by the RIE method.

[0126] Next, by heat-treating the fluorite film 55 after doing in this way and carrying out patterning to the configuration of a dielectric capacitor at 750 degrees C in the oxygen ambient atmosphere of ordinary pressure for 1 hour for example, the phase change of the fluorite phase in the fluorite film 55 is carried out to the crystal phase of the perovskite mold crystal structure, and this fluorite film 55 is crystallized. By this, as shown in drawing 12 C, the SBT film 57 is obtained between the Pt film 54 and the Pt film 56. This SBT film 57 Empirical formula $\text{Sr}_x \text{Bi}_y \text{Ta}_{2.0} \text{Ti}_z \text{O}_w$ $0.6 \leq x \leq 1.2$, $1.7 \leq y \leq 2.5$, $0 < z \leq 1.0$, $w = 9^{**}d$, and $0 \leq d \leq 1.0$ -- suitably [however,] $0.7 \leq x \leq 1.0$, $2.0 \leq y \leq 2.4$, $0.01 \leq z \leq 1.0$, $w = 9^{**}d$, and $0 \leq d \leq 1.0$ -- more suitably It consists of a ferroelectric of $0.7 \leq x \leq 1.0$, $2.0 \leq y \leq 2.4$, $0.1 \leq z \leq 1.0$, $w = 9^{**}d$, and Bi system layer structure perovskite mold crystal structure expressed with $0 \leq d \leq 1.0$.

[0127] Next, as shown in drawing 12 D, an interlayer insulation film 58 is formed in the whole surface. Next, etching removal of the predetermined part on the Pt film 56 is carried out among this interlayer insulation film 58, and contact hole 58a is formed. Next, after forming aluminum alloy film for example, by the sputtering method on the whole surface, patterning of this aluminum alloy film is carried out to a

predetermined configuration by etching, it is pulled out, and an electrode 59 is formed.

[0128] The dielectric capacitor made into the purpose using the SBT film as a dielectric film according to the above process is manufactured.

[0129] When it pulled out with the Si substrate 51 of the dielectric capacitor manufactured as mentioned above, the electrical potential difference was impressed between electrodes 59 and the P-V hysteresis was measured, it is remanence value $2Pr$. It carries out and is $2Pr = 10\text{--}20\text{microC/cm}^2$. A value is acquired and it is coercive electric field $2EC$. It carried out and the value of $2EC = 100\text{--}150\text{ kV/cm}$ was acquired. These $2Pr$ And $2EC$ It is a value good as a dielectric capacitor using the SBT film, and was obtained by the measurement this [whose] let the Si substrate 51 pass. On the other hand, after crystallizing by heat-treating the fluorite film 55 like the conventional technique and obtaining the SBT film 57, Formed the Pt film 56 on this SBT film 57, and were manufactured by carrying out patterning of the Pt film 56, the SBT film 57, the Pt film 54, and the Ti film 53 to the configuration of a dielectric capacitor by etching after this. Remanence value $2Pr$ of the dielectric capacitor of $2\text{micrometer} \times 2\text{micrometer}$ size 10microC/cm^2 It is the following and is coercive electric field $2EC$. They were 150 or more kV/cm. From the above thing, it sets to the dielectric capacitor using the SBT film by applying the manufacture approach of the dielectric capacitor by this invention, and is remanence value $2Pr$. And coercive electric field $2EC$ It turns out that it is improved remarkably.

[0130] Moreover, in this dielectric capacitor, it is characteristic to use the SBT film which contains Ti in a configuration element as a dielectric film. Drawing 13 is remanence value $2Pr$ of the dielectric capacitor of the same structure, if shown in drawing 12 D. And coercive electric field $2EC$ Ti addition dependency is shown. However, the SBT film (strictly that precursor film) was produced with the sol-gel spin coat method in this case. In drawing 15, an axis of abscissa shows the presentation ratio (it displays by the mole ratio in a raw material solution) of Ti, and an axis of ordinate shows remanence value $2Pr$ and ($\mu\text{C/cm}^2$) coercive electric field $2EC$ (kV/cm). He is trying to obtain the SBT film after membrane formation of the precursor film of the SBT film by heat-treating at 750 degrees C or 800 degrees C in an ordinary pressure oxygen ambient atmosphere for 1 hour, and heat-treating for 10 minutes at 750 degrees C or 800 degrees C in an oxygen ambient atmosphere after up electrode formation and patterning further before formation of an up electrode at the time of production of the sample used for this measurement. As SBT film, the presentation ratio z of Ti was changed for every sample using what is expressed with empirical formula $\text{Sr}_{0.8}\text{Bi}_{2.4}\text{Ta}_{2.0}\text{Ti}_z\text{O}_w$ (however, $w = 9 + d$, $0 \leq d \leq 1.0$). Moreover, SiO_2 In the thickness of 30nm and the Pt film 54, the thickness of 200nm and the SBT film 57 set [the thickness of the film 52 / the thickness of 300nm and the Ti film 53] thickness of 150nm and the Pt film 56 to 200nm. From drawing 13, it is remanence value $2Pr$. And coercive electric field $2EC$ It turns out that effect is hardly received in the addition of Ti in the SBT film. Good remanence value $2Pr$ which in other words is equal in the dielectric capacitor using the SBT film compared with the dielectric capacitor with which the presentation ratio z of Ti used the SBT film (in the case of $z = 0$) in $0 < z \leq 1.0$ And coercive electric field $2EC$ It turns out that a value is acquired.

[0131] When drawing 14 is shown in drawing 12 D, it shows the measurement result of the leak current density when changing the addition of Ti in the SBT film in the dielectric capacitor of the same structure. In drawing 14, an axis of abscissa shows applied voltage (V), and an axis of ordinate shows leak current density (A/cm^2). It turns out that the leak current density at the time of high electric field is especially reduced from drawing 14 for the sample using the SBT film which added Ti rather than the

sample using the SBT film Ti additive-free [as a dielectric film] ($z=0$). That is, it turns out that the leak current characteristic of a dielectric capacitor is improved by addition of Ti.

[0132] When drawing 15 is shown in drawing 12 D, it shows Ti addition dependency of the temperature characteristic of the remanence value in the dielectric capacitor of the same structure. In drawing 15, an axis of abscissa shows measurement temperature (degree C), and an axis of ordinate is Pr. Percentage reduction (ratio of Pr in each temperature over Pr in 25 degrees C) is shown. The direction of the sample using the SBTT film which added Ti rather than the sample using the SBT film Ti more nearly additive-free [as a dielectric film] ($z=0$) than drawing 15 is Pr at the time of an elevated temperature. It turns out that percentage reduction becomes small and the temperature characteristic of the remanence value of a dielectric capacitor is improved by addition of Ti.

[0133] Moreover, according to the experiment conducted separately, depending for the property of this dielectric capacitor on the thickness of the SBTT film 57 is checked. Therefore, in this dielectric capacitor, although the thickness of the SBTT film 57 is usually chosen as 20nm or more 200nm or less, from a viewpoint which acquires a better property, it can be said that it is desirable to be referred to as 20nm or more 100nm or less as for the thickness of the SBTT film 57. Moreover, detailed-ization of a component progresses further, and if it puts into a visual field that the operating voltage of a semiconductor device is reduced increasingly, it can be said to be more desirable [the thickness of the SBTT film 57 / being referred to as 30nm or more 80nm or less].

Fig. 15 is a graph.

[0134] As mentioned above, according to this 11th operation gestalt, when manufacturing the dielectric capacitor using the SBTT film as a dielectric film, the same advantage as the 1st operation gestalt can be acquired. Namely, in case the dielectric capacitor using the SBTT film as a dielectric film is manufactured Sequential formation of the fluorite film 55 as the lower electrode which consists of Ti film 53 and Pt film 54, and precursor film of SBTT, and the Pt film 56 as an up electrode is carried out. By carrying out patterning of these to the configuration of a dielectric capacitor by etching, and heat-treating the fluorite film 55 by which patterning was carried out after this to the configuration of a dielectric capacitor By carrying out the phase change of the fluorite phase in this fluorite film 55 to the crystal phase of the perovskite mold crystal structure, and trying obtaining the SBTT film 57 as a dielectric film The crystal grain in the SBTT film 57 finally obtained Remanence value $2Pr$ etching does not receive a damage and according to etching processing And coercive electric field $2EC$ Degradation can be prevented effectively, and it compares with the conventional technique, and is remanence value $2Pr$. And coercive electric field $2EC$ It has the advantage of being improved remarkably. By this, it is the area of a dielectric capacitor 10 micrometers 2 Even if it is the case where it reduces to below (this example 2micrometerx 2 micrometers), a dielectric capacitor with a good property is realizable.

[0135] Moreover, according to this 11th operation gestalt, the advantage that a leak current characteristic and the temperature characteristic of a remanence value are improved can also be acquired by using the SBTT film which contains Ti in a configuration element as a dielectric film.

[0136] Drawing 16 is a sectional view for explaining the manufacture approach of the dielectric capacitor by the 12th operation gestalt of this invention.

[0137] In the manufacture approach of the dielectric capacitor by this 12th operation gestalt, as shown in drawing 16 A, the same process is followed also in the 11th operation gestalt, and it is SiO_2 on the Si substrate 51. The film 52 is formed and sequential membrane formation of the Ti film 53 and the Pt film 54 as a lower electrode is carried out on this.

[0138] next, the Pt film 54 top -- for example, MOCVD -- the amorphous film 60 as precursor film (strictly precursor film of the fluorite film 55) of SBTT which consists of Bi, Sr, Ta, Ti, and O which are the configuration element of the SBTT film finally obtained by law is formed. The Si substrate 51 which even the Pt film 54 formed is specifically installed on the susceptor of the reaction chamber (membrane formation room) of the MOCVD system which carried out the illustration abbreviation, and it heats and holds in substrate temperature of 300-500 degrees C. And Bi (C six H5)3, Sr (THD)2, Ta(i-OC three H7)4 THD, and Ti4 (i-OC three H7) The mixed solution which mixed the liquid source which dissolved each organic metal raw material into the THF (tetrahydrofuran) solvent by predetermined concentration to the predetermined presentation ratio is made to evaporate within the carburetor held at 200 degrees C. And after mixing with the argon carrier gas of flow rate 500SCCM the gas obtained by this and mixing with the oxygen gas of flow rate 500SCCM just before a reaction chamber, it introduces into a reaction chamber by making this mixed gas into material gas, and membranes are formed by the reagent-gas-pressure force of $1 \cdot 10$ Torr. The amorphous film 60 as precursor film of SBTT is formed by this. The thickness of this amorphous film 60 is chosen as 100nm. moreover, the range of the atomic composition ratio of this amorphous film 60 -- for example, $0.6 \leq \text{Sr/Ta} \leq 1.2$, $1.7 \leq \text{Bi/Ta} \leq 2.5$, and $0 < \text{Ti/Ta} \leq 1.0$ -- it is suitably chosen as $0.7 \leq \text{Sr/Ta} \leq 1.0$, $2.0 \leq \text{Bi/Ta} \leq 2.4$, and $0.01 \leq \text{Ti/Ta} \leq 1.0$, and is chosen as $0.1 \leq \text{Ti/Ta} \leq 1.0$ more suitably about 2 Ti/Ta.

[0139] Next, as shown in drawing 16 B, by heat-treating at 600 degrees C in the oxygen ambient atmosphere of ordinary pressure for 1 hour for example, the phase change of the amorphous phase in this amorphous film 60 is carried out to a fluorite phase, and the fluorite film 55 as precursor film of SBTT which consists of Sr, Bi, Ta, Ti, and O on the Pt film 54 is obtained for this amorphous film 60. the range of the atomic composition ratio of this fluorite film 55 -- for example, $0.6 \leq \text{Sr/Ta} \leq 1.2$, $1.7 \leq \text{Bi/Ta} \leq 2.5$, and $0 < \text{Ti/Ta} \leq 1.0$ -- it is $0.7 \leq \text{Sr/Ta} \leq 1.0$, $2.0 \leq \text{Bi/Ta} \leq 2.4$, and $0.01 \leq \text{Ti/Ta} \leq 1.0$ suitably, and is $0.1 \leq \text{Ti/Ta} \leq 1.0$ more suitably about 2 Ti/Ta.

[0140] Next, as shown in drawing 16 C, the Pt film 56 as an up electrode is formed on condition that usual for example, by the sputtering method on this fluorite film 55. The thickness of this Pt film 56 is chosen as 100nm. Next, patterning of the Pt film 56, the fluorite film 55, the Pt film 54, and the Ti film 53 is carried out to the configuration of the dielectric capacitor of 2micrometerx2micrometer size for example, by the RIE method.

[0141] Next, by heat-treating the fluorite film 55 after doing in this way and carrying out patterning to the configuration of a dielectric capacitor for 10 minutes at 750 degrees C in the oxygen ambient atmosphere of ordinary pressure for example, the phase change of the fluorite phase in the fluorite film 55 is carried out to the crystal phase of the perovskite mold crystal structure, and this fluorite film 55 is crystallized. By this, as shown in drawing 16 D, the SBTT film 57 is obtained between the Pt film 54 and the Pt film 56. This SBTT film 57 Empirical formula $\text{Sr}_x \text{Bi}_y \text{Ta}_{2.0} \text{Ti}_z \text{O}_w$ $0.6 \leq x \leq 1.2$, $1.7 \leq y \leq 2.5$, $0 < z \leq 1.0$, $w = 9 \cdot d$, and $0 \leq d \leq 1.0$ -- suitably [however,] $0.7 \leq x \leq 1.0$, $2.0 \leq y \leq 2.4$, $0.01 \leq z \leq 1.0$, $w = 9 \cdot d$, and $0 \leq d \leq 1.0$ -- more suitably It consists of a ferroelectric of $0.7 \leq x \leq 1.0$, $2.0 \leq y \leq 2.4$, $0.01 \leq z \leq 1.0$, $w = 9 \cdot d$, and Bi system layer structure perovskite mold crystal structure expressed with $0 \leq d \leq 1.0$.

[0142] Next, as the 11th operation gestalt is shown in drawing 16 E according to the same process, the dielectric capacitor made into the purpose using the SBTT film as a dielectric film is manufactured by forming an interlayer insulation film 58, contact hole 58a, and the drawer electrode 59.

[0143] When the P-V hysteresis was similarly measured in the 11th operation gestalt about the dielectric

capacitor manufactured as mentioned above, it is remanence value $2Pr$. It carries out and is $2Pr = 10\text{--}22\text{microC/cm}^2$. A value is acquired and it is coercive electric field $2EC$. It carried out and the value of $2EC = 100\text{--}150\text{ kV/cm}$ was acquired. These $2Pr$ And $2EC$ It is a value good as a dielectric capacitor using the SBT film, and was obtained by the measurement this [whose] let the Si substrate 51 pass. On the other hand, after crystallizing by heat-treating the fluorite film 55 like the conventional technique and obtaining the SBT film 57, Formed the Pt film 56 on this SBT film 57, and were manufactured by carrying out patterning of the Pt film 56, the SBT film 57, the Pt film 54, and the Ti film 53 to the configuration of a dielectric capacitor by etching after this. Remanence value $2Pr$ of the dielectric capacitor of $2\text{micrometer} \times 2\text{micrometer}$ size 10microC/cm^2 It is the following and is coercive electric field $2EC$. They were 150 or more kV/cm. From the above thing, it sets to the dielectric capacitor using the SBT film by applying the manufacture approach of the dielectric capacitor by this invention, and is remanence value $2Pr$. And coercive electric field $2EC$ It turns out that it is improved remarkably.

[0144] As mentioned above, according to this 12th operation gestalt, the same advantage as the 11th operation gestalt can be acquired.

[0145] Drawing 17 is a sectional view for explaining the manufacture approach of the dielectric capacitor by the 13th operation gestalt of this invention.

[0146] In the manufacture approach of the dielectric capacitor by this 13th operation gestalt, as shown in drawing 17 A, it is the usual conditions for example, by the sputtering method on the conductive Si substrate 51, and it is IrO_2 as a lower electrode. Sequential membrane formation of the film 61 and the Ir film 62 is carried out. Here, it is IrO_2 . The thickness of the film 61 is chosen as 100nm, and the thickness of the Ir film 62 is chosen as 100nm.

[0147] next, it is shown in drawing 17 B -- as -- the Ir film 61 top -- for example, MOCVD -- the fluorite film 55 as precursor film of SBT which consists of Bi, Sr, Ta, Ti, and O which are the configuration element of the SBT film finally obtained by law is formed. The Si substrate 51 which even the Ir film 62 formed is specifically installed on the susceptor of the reaction chamber (membrane formation room) of the MOCVD system which carried out the illustration abbreviation, and it heats and holds in substrate temperature of 400-650 degrees C. And Bi (o-C seven H_7)₃, Sr (THD)₂, and Ta ($\text{i-OC}_3\text{H}_7$)₅, Ti₄ (i-OC three H_7) Each organic metal raw material is mixed with the argon carrier gas of flow rate 200SCCM, 230SCCM, 50SCCM, and 20SCCM, respectively. Furthermore, after mixing with the oxygen gas of flow rate 500SCCM just before a reaction chamber, it introduces into a reaction chamber by making this mixed gas into material gas, and membranes are formed by the pressure of $1\text{--}10\text{Torr}$. The fluorite film 55 as precursor film of SBT is formed by this. The thickness of this fluorite film 55 is chosen as 100nm. moreover, the range of the atomic composition ratio of this fluorite film 55 -- for example, $0.6 \leq \text{Sr/Ta} \leq 1.2$, $1.7 \leq \text{Bi/Ta} \leq 2.5$, and $0 < \text{Ti/Ta} \leq 1.0$ -- it is suitably chosen as $0.7 \leq \text{Sr/Ta} \leq 1.0$, $2.0 \leq \text{Bi/Ta} \leq 2.4$, and $0.01 \leq \text{Ti/Ta} \leq 1.0$, and is chosen as $0.1 \leq \text{Ti/Ta} \leq 1.0$ more suitably about 2 Ti/Ta.

[0148] Next, the Ir film 63 as an up electrode is formed on condition that usual for example, by the sputtering method on this fluorite film 55. The thickness of this Ir film 63 is chosen as 100nm.

[0149] Next, as shown in drawing 17 B, they are the Ir film 63, the fluorite film 55, the Ir film 62, and IrO_2 . Patterning of the film 61 is carried out to the configuration of the dielectric capacitor of $2\text{micrometer} \times 2\text{micrometer}$ size for example, by the RIE method.

[0150] Next, by heat-treating the fluorite film 55 after doing in this way and carrying out patterning to the configuration of a dielectric capacitor for 30 minutes at 700 degrees C in the oxygen ambient

atmosphere of ordinary pressure for example, the phase change of the fluorite phase in the fluorite film 55 is carried out to the crystal phase of the perovskite mold crystal structure, and this fluorite film 55 is crystallized. By this, as shown in drawing 17 C, the SBT film 57 is obtained between the Ir film 62 and the Ir film 63. This SBT film 57 Empirical formula $Sr_x Bi_y Ta_{2.0} Ti_z O_w$ $0.6 \leq x \leq 1.2$, $1.7 \leq y \leq 2.5$, $0 \leq z \leq 1.0$, $w = 9 \cdot d$, and $0 \leq d \leq 1.0$ -- suitably [however,] $0.7 \leq x \leq 1.0$, $2.0 \leq y \leq 2.4$, $0.01 \leq z \leq 1.0$, $w = 9 \cdot d$, and $0 \leq d \leq 1.0$ -- more suitably It consists of a ferroelectric of $0.7 \leq x \leq 1.0$, $2.0 \leq y \leq 2.4$, $0.01 \leq z \leq 1.0$, $w = 9 \cdot d$, and Bi system layer structure perovskite mold crystal structure expressed with $0 \leq d \leq 1.0$.

[0151] Next, as the 11th operation gestalt is shown in drawing 17 D according to the same process, the dielectric capacitor made into the purpose using the SBT film as a dielectric film is manufactured by forming an interlayer insulation film 58, contact hole 58a, and the drawer electrode 59.

[0152] When the P-V hysteresis was similarly measured in the 11th operation gestalt about the dielectric capacitor manufactured as mentioned above, it is remanence value $2P_r$. It carries out and is $2P_r = 10\text{-}20 \mu\text{C}/\text{cm}^2$. A value is acquired and it is coercive electric field $2E_C$. It carried out and the value of $2E_C = 100 \cdot 150 \text{ kV}/\text{cm}$ was acquired. These $2P_r$ And $2E_C$ It is a value good as a dielectric capacitor using the SBT film, and was obtained by the measurement this [whose] let the Si substrate 51 pass. On the other hand, after crystallizing by heat-treating the fluorite film 55 like the conventional technique and obtaining the SBT film 57, The Ir film 63 is formed on this SBT film 57, and they are the next and Ir film 63, the SBT film 57, the Ir film 62, and IrO_2 . Were manufactured by carrying out patterning of the film 61 to the configuration of a dielectric capacitor by etching. Remanence value $2P_r$ of the dielectric capacitor of $2 \mu\text{m} \times 2 \mu\text{m}$ size $10 \mu\text{C}/\text{cm}^2$ It is the following and is coercive electric field $2E_C$. They were 150 or more kV/cm . From the above thing, it sets to the dielectric capacitor using the SBT film by applying the manufacture approach of the dielectric capacitor by this invention, and is remanence value $2P_r$. And coercive electric field $2E_C$ It turns out that it is improved remarkably.

[0153] As mentioned above, according to this 13th operation gestalt, the same advantage as the 11th operation gestalt can be acquired.

[0154] Drawing 18 is a sectional view for explaining the manufacture approach of the dielectric capacitor by the 14th operation gestalt of this invention.

[0155] As the manufacture approach of the dielectric capacitor by this 14th operation gestalt is shown in drawing 18 A according to the same process also in the 13th operation gestalt, it is IrO_2 as a lower electrode on the Si substrate 51. Sequential membrane formation of the film 61 and the Ir film 62 is carried out. next, the Ir film 62 top -- for example, MOCVD -- the amorphous film 60 as precursor film of SBT which consists of Bi, Sr, Ta, Ti, and O which are the configuration element of the SBT film finally obtained by law is formed. The Si substrate 51 which even the Ir film 62 formed is specifically installed on the susceptor of the reaction chamber (membrane formation room) of the MOCVD system which carried out the illustration abbreviation, and it heats and holds in substrate temperature of $300\text{-}500$ degrees C. And Bi (C six H_5)₃, Sr (THD)₂, Ta(*i*-OC three H)₄ THD, and Ti₄ (*i*-OC₃H₇) The mixed solution which mixed the liquid source which dissolved each organic metal raw material into the THF solvent by predetermined concentration to the predetermined presentation ratio is made to evaporate within the carburetor held at 200 degrees C. And after mixing with the argon carrier gas of flow rate 500SCCM the gas obtained by this and mixing with the oxygen gas of flow rate 500SCCM just before a reaction chamber, it introduces into a reaction chamber by making this mixed gas into material gas, and membranes are formed by the reagent-gas-pressure force of $1 \cdot 10$ Torr. The amorphous film 60 as precursor film of SBT

is formed by this. The thickness of this amorphous film 60 is chosen as 100nm. moreover, the range of the atomic composition ratio of this amorphous film 60 -- for example, $0.6 \leq \text{Sr}/\text{Ta} \leq 1.2$, $1.7 \leq \text{Bi}/\text{Ta} \leq 2.5$, and $0 < \text{Ti}/\text{Ta} \leq 1.0$ -- it is suitably chosen as $0.7 \leq \text{Sr}/\text{Ta} \leq 1.0$, $2.0 \leq \text{Bi}/\text{Ta} \leq 2.4$, and $0.01 \leq \text{Ti}/\text{Ta} \leq 1.0$, and is chosen as $0.1 \leq \text{Ti}/\text{Ta} \leq 1.0$ more suitably about $2 \text{ Ti}/\text{Ta}$.

[0156] Next, as shown in drawing 18 B, by heat-treating at 600 degrees C in the oxygen ambient atmosphere of ordinary pressure for 1 hour for example, the amorphous phase in this amorphous film 60 is changed to a fluorite phase, and the fluorite film 55 as precursor film of SBTT which consists of Sr, Bi, Ta, Ti, and O on the Pt film 54 is obtained for this amorphous film 60. the range of the atomic composition ratio of this fluorite film 55 -- for example, $0.6 \leq \text{Sr}/\text{Ta} \leq 1.2$, $1.7 \leq \text{Bi}/\text{Ta} \leq 2.5$, and $0 < \text{Ti}/\text{Ta} \leq 1.0$ -- it is $0.7 \leq \text{Sr}/\text{Ta} \leq 1.0$, $2.0 \leq \text{Bi}/\text{Ta} \leq 2.4$, and $0.01 \leq \text{Ti}/\text{Ta} \leq 1.0$ suitably, and is $0.1 \leq \text{Ti}/\text{Ta} \leq 1.0$ more suitably about $2 \text{ Ti}/\text{Ta}$.

[0157] Next, the Ir film 63, the fluorite film 55, the Ir film 62, and IrO₂ as shown in drawing 18 C, after forming the Ir film 63 of 100nm of thickness as an up electrode on condition that usual for example, by the sputtering method on this fluorite film 55 Patterning of the film 61 is carried out to the configuration of the dielectric capacitor of 2micrometerx2micrometer size for example, by the RIE method.

[0158] Next, by heat-treating the fluorite film 55 after doing in this way and carrying out patterning to the configuration of a dielectric capacitor for 10 minutes at 750 degrees C in the oxygen ambient atmosphere of ordinary pressure for example, the phase change of the fluorite phase in the fluorite film 55 is carried out to the crystal phase of the perovskite mold crystal structure, and this fluorite film 55 is crystallized. By this, as shown in drawing 18 D, the SBTT film 57 is obtained between the Ir film 62 and the Ir film 63. This SBTT film 57 Empirical formula $\text{Bix Sry Ta}_{2.0} \text{Tiz Ow}$ $1.7 \leq x \leq 2.5$, $0.6 \leq y \leq 1.2$, $0.01 \leq z \leq 1.0$, $w = 9 \cdot d$, and $0 \leq d \leq 1.0$ -- suitably [however,] $2.0 \leq x \leq 2.4$, $0.7 \leq y \leq 1.0$, $0.01 \leq z \leq 1.0$, $w = 9 \cdot d$, and $0 \leq d \leq 1.0$ -- more suitably It consists of a ferroelectric of $2.0 \leq x \leq 2.4$, $0.7 \leq y \leq 1.0$, $0.1 \leq z \leq 1.0$, $w = 9 \cdot d$, and Bi system layer structure perovskite mold crystal structure expressed with $0 \leq d \leq 1.0$.

[0159] Next, as the 11th operation gestalt is shown in drawing 18 E according to the same process, the dielectric capacitor made into the purpose using the SBTT film as a dielectric film is manufactured by forming an interlayer insulation film 58, contact hole 58a, and the drawer electrode 59.

[0160] When the P-V hysteresis was similarly measured in the 11th operation gestalt about the dielectric capacitor manufactured as mentioned above, it is remanence value $2P_r$. It carries out and is $2P_r = 10 \cdot 22 \text{ microC/cm}^2$. A value is acquired and it is coercive electric field $2E_C$. It carried out and the value of $2E_C = 100 \cdot 150 \text{ kV/cm}$ was acquired. These $2P_r$ And $2E_C$ It is a value good as a dielectric capacitor using the SBTT film, and was obtained by the measurement this [whose] let the Si substrate 51 pass. On the other hand, after crystallizing by heat-treating the fluorite film 55 like the conventional technique and obtaining the SBTT film 57, The Ir film 63 is formed on this SBTT film 57, and they are the next and Ir film 63, the SBTT film 57, the Ir film 62, and IrO₂. Were manufactured by carrying out patterning of the film 61 to the configuration of a dielectric capacitor by etching. Remanence value $2P_r$ of the dielectric capacitor of 2micrometerx2micrometer size 10 microC/cm^2 It is the following and is coercive electric field $2E_C$. They were 150 or more kV/cm. From the above thing, it sets to the dielectric capacitor using the SBTT film by applying the manufacture approach of the dielectric capacitor by this invention, and is remanence value $2P_r$. And coercive electric field $2E_C$ It turns out that it is improved remarkably.

[0161] As mentioned above, according to this 14th operation gestalt, the same advantage as the 11th

operation gestalt can be acquired.

[0162] Drawing 19 is a sectional view for explaining the manufacture approach of the dielectric capacitor by the 15th operation gestalt of this invention.

[0163] In the manufacture approach of the dielectric capacitor by this 15th operation gestalt, as shown in drawing 19 A, it is the usual conditions for example, by the sputtering method on the conductive Si substrate 51, and it is IrO₂ as a lower electrode. The film 61 and Ir_{0.7} Ru_{0.3} Sequential membrane formation of the film 64 is carried out. Here, it is IrO₂. It is chosen as 100nm and the thickness of the film 61 is Ir_{0.7} Ru_{0.3}. The thickness of the film 64 is chosen as 100nm.

[0164] next, Ir_{0.7} Ru_{0.3} a film 64 top -- for example, MOCVD -- the amorphous film 60 as precursor film of SBTT which consists of Bi, Sr, Ta, Ti, and O which are the configuration element of the SBTT film finally obtained by law is formed. Specifically, it is Ir_{0.7}Ru_{0.3}. The Si substrate 51 which even the film 64 formed is installed on the susceptor of the reaction chamber (membrane formation room) of the MOCVD system which carried out the illustration abbreviation, and it heats and holds in substrate temperature of 300-500 degrees C. And Bi (C six H₅)₃, Sr (THD)₂, Ta(i-OC three H₇)₄ THD, and Ti₄ (i-OC three H₇) The mixed solution which mixed the liquid source which dissolved each organic metal raw material into the THF solvent by predetermined concentration to the predetermined presentation ratio is made to evaporate within the carburetor held at 200 degrees C. And after mixing with the argon carrier gas of flow rate 500SCCM the gas obtained by this and mixing with the oxygen gas of flow rate 500SCCM just before a reaction chamber, it introduces into the reaction chamber which made the output 100 RF (RF) plasma of W discharge by making this mixed gas into material gas, and membranes are formed by the reagent-gas-pressure force of 0.5 - 10Torr. The amorphous film 60 as precursor film of SBTT is formed by this. The thickness of this amorphous film 60 is chosen as 100nm. moreover, the range of the atomic composition ratio of this amorphous film 60 -- for example, $0.6 \leq \text{Sr}/\text{Ta} \leq 1.2$, $1.7 \leq \text{Bi}/\text{Ta} \leq 2.5$, and $0 < \text{Ti}/\text{Ta} \leq 1.0$ -- it is suitably chosen as $0.7 \leq \text{Sr}/\text{Ta} \leq 1.0$, $2.0 \leq \text{Bi}/\text{Ta} \leq 2.4$, and $0.01 \leq \text{Ti}/\text{Ta} \leq 1.0$, and is chosen as $0.1 \leq \text{Ti}/\text{Ta} \leq 1.0$ more suitably about 2 Ti/Ta.

[0165] Next, as shown in drawing 19 B, by heat-treating at 600 degrees C in the oxygen ambient atmosphere of ordinary pressure for 1 hour for example, the amorphous phase in this amorphous film 60 is changed to a fluorite phase, and the fluorite film 55 as precursor film of SBTT which consists of Sr, Bi, Ta, Ti, and O on Ir_{0.7} Ru_{0.3} film 64 is obtained for this amorphous film 60. the range of the atomic composition ratio of this fluorite film 55 -- for example, $0.6 \leq \text{Sr}/\text{Ta} \leq 1.2$, $1.7 \leq \text{Bi}/\text{Ta} \leq 2.5$, and $0 < \text{Ti}/\text{Ta} \leq 1.0$ -- it is $0.7 \leq \text{Sr}/\text{Ta} \leq 1.0$, $2.0 \leq \text{Bi}/\text{Ta} \leq 2.4$, and $0.01 \leq \text{Ti}/\text{Ta} \leq 1.0$ suitably, and is $0.1 \leq \text{Ti}/\text{Ta} \leq 1.0$ more suitably about 2 Ti/Ta.

[0166] Next, Ir_{0.7} Ru_{0.3} as shown in drawing 19 C, after forming Ir_{0.7} Ru_{0.3} film 65 of 100nm of thickness as an up electrode on condition that usual for example, by the sputtering method on this fluorite film 55 The film 65, the fluorite film 55, and Ir_{0.7}Ru_{0.3} The film 64 and IrO₂ Patterning of the film 61 is carried out to the configuration of the dielectric capacitor of 2micrometerx2micrometer size for example, by the RIE method.

[0167] Next, by heat-treating the fluorite film 55 after doing in this way and carrying out patterning to the configuration of a dielectric capacitor for 30 minutes at 700 degrees C for example, in nitrogen-gas-atmosphere mind for example, the phase change of the fluorite phase in the fluorite film 55 is carried out to the crystal phase of the perovskite mold crystal structure, and this fluorite film 55 is crystallized. As this shows to drawing 19 D, it is Ir_{0.7} Ru_{0.3}. The film 64 and Ir_{0.7} Ru_{0.3} The SBTT film

57 is obtained between film 65. This SBT film 57 Empirical formula $\text{Sr}_{1-x}\text{Bi}_x\text{Ta}_{2-y}\text{Ti}_y\text{O}_{3-z}$ $1.7 \leq x \leq 2.5$, $0.6 \leq y \leq 1.2$, $0.01 \leq z \leq 1.0$, $w = 9 \cdot d$, and $0 \leq d \leq 1.0$ -- suitably [however,] $2.0 \leq x \leq 2.4$, $0.7 \leq y \leq 1.0$, $0.01 \leq z \leq 1.0$, $w = 9 \cdot d$, and $0 \leq d \leq 1.0$ -- more suitably It consists of a ferroelectric of $2.0 \leq x \leq 2.4$, $0.7 \leq y \leq 1.0$, $0.1 \leq z \leq 1.0$, $w = 9 \cdot d$, and Bi system layer structure perovskite mold crystal structure expressed with $0 \leq d \leq 1.0$.

[0168] Next, as the 11th operation gestalt is shown in drawing 19 E according to the same process, the dielectric capacitor made into the purpose using the SBT film as a dielectric film is manufactured by forming an interlayer insulation film 58, contact hole 58a, and the drawer electrode 59.

[0169] When the P-V hysteresis was similarly measured in the 11th operation gestalt about the dielectric capacitor manufactured as mentioned above, it is remanence value $2P_r$. It carries out and is $2P_r = 5 \sim 18 \mu\text{C}/\text{cm}^2$. A value is acquired and it is coercive electric field $2E_C$. It carried out and the value of $2E_C = 100 \sim 200 \text{ kV}/\text{cm}$ was acquired. These $2P_r$ And $2E_C$ It is a value good as a dielectric capacitor using the SBT film produced by the above-mentioned MOCVD method, and was obtained by the measurement this [whose] let the Si substrate 51 pass. On the other hand, after crystallizing by heat-treating the fluorite film 55 like the conventional technique and obtaining the SBT film 57, It is $\text{Ir}_{0.7}\text{Ru}_{0.3}$ on this SBT film 57. The film 65 is formed. Then, $\text{Ir}_{0.7}\text{Ru}_{0.3}$ The film 65, the SBT film 57, and $\text{Ir}_{0.7}\text{Ru}_{0.3}$ The film 64 and IrO_2 Were manufactured by carrying out patterning of the film 61 to the configuration of a dielectric capacitor by etching. Remanence value $2P_r$ of the dielectric capacitor of $2 \mu\text{m} \times 2 \mu\text{m}$ size $5 \mu\text{C}/\text{cm}^2$ It is the following and is coercive electric field $2E_C$. They were 200 or more kV/cm . From the above thing, it sets to the dielectric capacitor using the SBT film by applying the manufacture approach of the dielectric capacitor by this invention, and is remanence value $2P_r$. And coercive electric field $2E_C$ It turns out that it is improved remarkably.

[0170] Drawing 20 is a sectional view for explaining the manufacture approach of the dielectric capacitor by the 16th operation gestalt of this invention.

[0171] In the manufacture approach of the dielectric capacitor by this 16th operation gestalt, as shown in drawing 20 A, the same process is followed also in the 13th operation gestalt, and it is IrO_2 of 100nm of thickness as a lower electrode on the Si substrate 51. Sequential membrane formation of the film 61 and the Ir film 62 of 20nm of thickness is carried out.

[0172] next, the Ir film 62 top -- for example, MOCVD -- the amorphous film 66 as precursor film of SBT which consists of Bi, Sr, Ta, Ti, Nb, and O which are the configuration element of the SBT film finally obtained by law is formed. The Si substrate 51 which even the Ir film 62 formed is specifically installed on the susceptor of the reaction chamber (membrane formation room) of the MOCVD system which carried out the illustration abbreviation, and it heats and holds in substrate temperature of 300-500 degrees C. And Bi (C_6H_5)₃, Sr (THD)₂, Ta($i\text{-OC}$ three H)₄ THD, Nb($i\text{-OC}$ three H)₄ THD and Ti₄ ($i\text{-OC}$ three H)₇ The mixed solution which mixed the liquid source which dissolved each organic metal raw material into the THF solvent by predetermined concentration to the predetermined presentation ratio is made to evaporate within the carburetor held at 200 degrees C. And after mixing with the argon carrier gas of flow rate 500SCCM the gas obtained by this and mixing with the oxygen gas of flow rate 500SCCM just before a reaction chamber, it introduces into a reaction chamber by making this mixed gas into material gas, and membranes are formed by the reagent-gas-pressure force of $1 \sim 10 \text{ Torr}$. The amorphous film 66 as precursor film of SBT is formed by this. The thickness of this amorphous film 66 is chosen as 100nm. Moreover, the range of the atomic composition ratio of this amorphous film 66 for example,

$0.6 \leq 2\text{Sr}/(\text{Ta}+\text{Nb}) \leq 1.2$, $1.7 \leq 2\text{Bi}/(\text{Ta}+\text{Nb}) \leq 2.5$, and $0 < 2\text{Ti}/(\text{Ta}+\text{Nb}) \leq 1.0$ -- suitably It is chosen as $0.7 \leq 2\text{Sr}/(\text{Ta}+\text{Nb}) \leq 1.0$, $2.0 \leq 2\text{Bi}/(\text{Ta}+\text{Nb}) \leq 2.4$, and $0.01 \leq 2\text{Ti}/(\text{Ta}+\text{Nb}) \leq 1.0$, and is chosen as $0.1 \leq 2\text{Ti}/(\text{Ta}+\text{Nb}) \leq 1.0$ more suitably about $2\text{Ti}/(\text{Ta}+\text{Nb})$.

[0173] Next, as shown in drawing 20 B, by heat-treating at 600 degrees C in the oxygen ambient atmosphere of ordinary pressure for 1 hour for example, the amorphous phase in this amorphous film is changed to a fluorite phase, and the fluorite film 67 as precursor film of SBTT which consists of Sr, Bi, Ta, Nb, Ti, and O on the Ir film 62 is obtained for this amorphous film 66. The range of the atomic composition ratio of this fluorite film 67 for example, $0.6 \leq 2\text{Sr}/(\text{Ta}+\text{Nb}) \leq 1.2$, $1.7 \leq 2\text{Bi}/(\text{Ta}+\text{Nb}) \leq 2.5$, and $0 < 2\text{Ti}/(\text{Ta}+\text{Nb}) \leq 1.0$ -- suitably It is $0.7 \leq 2\text{Sr}/(\text{Ta}+\text{Nb}) \leq 1.0$, $2.0 \leq 2\text{Bi}/(\text{Ta}+\text{Nb}) \leq 2.4$, and $0.01 \leq 2\text{Ti}/(\text{Ta}+\text{Nb}) \leq 1.0$, and is $0.1 \leq 2\text{Ti}/(\text{Ta}+\text{Nb}) \leq 1.0$ more suitably about $2\text{Ti}/(\text{Ta}+\text{Nb})$.

[0174] Next, the Ir film 63, the fluorite film 67, the Ir film 62, and IrO₂ as shown in drawing 20 C, after forming the Ir film 63 of 100nm of thickness as an up electrode on condition that usual for example, by the sputtering method on this fluorite film 67 Patterning of the film 61 is carried out to the configuration of the dielectric capacitor of 2micrometerx2micrometer size for example, by the RIE method.

[0175] Next, by heat-treating the fluorite film 67 after doing in this way and carrying out patterning to the configuration of a dielectric capacitor for 10 minutes at 750 degrees C in the oxygen ambient atmosphere of ordinary pressure for example, the phase change of the fluorite phase in the fluorite film 67 is carried out to the crystal phase of the perovskite mold crystal structure, and this fluorite film 67 is crystallized. By this, as shown in drawing 20 D, the SBTT film 68 is obtained between the Ir film 62 and the Ir film 63. This SBTT film 68 Empirical formula $\text{Sr}_x \text{Bi}_{y2.0} (\text{Ta}, \text{Nb}) \text{Ti}_z \text{O}_w$ $1.7 \leq x \leq 2.5$, $0.6 \leq y \leq 1.2$, $0.01 \leq z \leq 1.0$, $w = 9 + d$, and $0 < d \leq 1.0$ -- suitably [however,] $2.0 \leq x \leq 2.4$, $0.7 \leq y \leq 1.0$, $0.01 \leq z \leq 1.0$, $w = 9 + d$, and $0 < d \leq 1.0$ -- more suitably It consists of a ferroelectric of $2.0 \leq x \leq 2.4$, $0.7 \leq y \leq 1.0$, $0.1 \leq z \leq 1.0$, $w = 9 + d$, and Bi system layer structure perovskite mold crystal structure expressed with $0 < d \leq 1.0$.

[0176] Next, as the 11th operation gestalt is shown in drawing 20 E according to the same process, the dielectric capacitor made into the purpose using the SBTT film as a dielectric film is manufactured by forming an interlayer insulation film 58, contact hole 58a, and the drawer electrode 59.

[0177] When the P-V hysteresis was similarly measured in the 11th operation gestalt about the dielectric capacitor manufactured as mentioned above, it is remanence value $2P_r$. It carries out and is $2P_r = 10 \cdot 25 \text{ microC/cm}^2$. A value is acquired and it is coercive electric field $2E_C$. It carried out and the value of $2E_C = 100 \cdot 250 \text{ kV/cm}$ was acquired. These $2P_r$ And $2E_C$ It is a value good as a dielectric capacitor using the SBTT film which consists of Bi, Sr, Ta, Nb, Ti, and O, and was obtained by the measurement this [whose] let the Si substrate 51 pass. On the other hand, after crystallizing by heat-treating the fluorite film 67 like the conventional technique and obtaining the SBTT film 68, The Ir film 63 is formed on this SBTT film 68, and they are the next and Ir film 63, the SBTT film 68, the Ir film 62, and IrO₂. Were manufactured by carrying out patterning of the film 61 to the configuration of a dielectric capacitor by etching. Remanence value $2P_r$ of the dielectric capacitor of 2micrometerx2micrometer size 10 microC/cm^2 It is the following and is coercive electric field $2E_C$. They were 250 or more kV/cm. From the above thing, it sets to the dielectric capacitor using the SBTT film by applying the manufacture approach of the dielectric capacitor by this invention, and is remanence value $2P_r$. And it turns out that coercive electric field $2E_C$ is improved remarkably.

[0178] As mentioned above, according to this 16th operation gestalt, the same advantage as the 11th

operation gestalt can be acquired.

[0179] Drawing 21 is a sectional view for explaining the manufacture approach of the dielectric capacitor by the 17th operation gestalt of this invention.

[0180] In the manufacture approach of the dielectric capacitor by this 17th operation gestalt As shown in drawing 21 A, the same process is followed also in the 11th operation gestalt. It is SiO₂ on the Si substrate 51. After forming the film 52, sequential membrane formation of the fluorite film 55 as the Ti film 53 as a lower electrode, the Pt film 54, and precursor film of SBTB and the Pt film 56 as an up electrode is carried out on this. Patterning of the Pt film 56 and the fluorite film 55 is carried out to the configuration of the dielectric capacitor of 2micrometerx2micrometer size for example, by the RIE method. Next, it is Y₂ O₃ as a protective coat for example, by the MOCVD method to the whole surface so that the side attachment wall of the Pt film 56 by which patterning was carried out in this way to the configuration of a dielectric capacitor, and the fluorite film 55 may be covered. The film 69 is formed. This Y₂ O₃ The thickness of the film 69 is chosen as 30nm.

[0181] Next, that side attachment wall is the fluorite film 55 by which patterning was carried out in this way to the configuration of a dielectric capacitor Y₂ O₃ It is in the condition covered by the film 69, for example, by heat-treating at 750 degrees C in the oxygen ambient atmosphere of ordinary pressure for 1 hour for example, the phase change of the fluorite phase of the fluorite film 55 is carried out to the crystal phase of the perovskite mold crystal structure, and this fluorite film 55 is crystallized. By this, as shown in drawing 21 B, the SBTB film 57 is obtained between the Pt film 54 and the Pt film 56. This SBTB film 57 Empirical formula $Sr_x Bi_y Ta_{2.0} Ti_z O_w$ $1.7 \leq x \leq 2.5$, $0.6 \leq y \leq 1.2$, $0.01 \leq z \leq 1.0$, $w = 9 \cdot d$, and $0 \leq d \leq 1.0$ -- suitably [however,] $2.0 \leq x \leq 2.4$, $0.7 \leq y \leq 1.0$, $0.01 \leq z \leq 1.0$, $w = 9 \cdot d$, and $0 \leq d \leq 1.0$ -- more suitably It consists of a ferroelectric of $2.0 \leq x \leq 2.4$, $0.7 \leq y \leq 1.0$, $0.1 \leq z \leq 1.0$, $w = 9 \cdot d$, and Bi system layer structure perovskite mold crystal structure expressed with $0 \leq d \leq 1.0$.

[0182] Next, as shown in drawing 21 C, it is Y₂O₃ to the side attachment wall of the Pt film 56 and the SBTB film 57. It is Y₂ O₃ so that it may leave the film 69. Patterning of the film 69, the Pt film 54, and the Ti film 53 is carried out to a predetermined configuration by etching.

[0183] Next, as shown in drawing 21 D, an interlayer insulation film 58 is formed on the whole surface. Next, an interlayer insulation film 58 and Y₂ O₃ Etching removal of the predetermined part on the Pt film 56 is carried out among film 69, and contact hole 58a is formed. Next, after forming aluminum alloy film for example, by the sputtering method on the whole surface, patterning of this aluminum alloy film is carried out to a predetermined configuration by etching, it is pulled out, and an electrode 59 is formed.

[0184] The dielectric capacitor made into the purpose using the SBTB film as a dielectric film according to the above process is manufactured.

[0185] the time of the impression electric field of the value being 300kV/cm, when it pulls out with the Si substrate 51 of the dielectric capacitor manufactured as mentioned above, an electrical potential difference is impressed between electrodes 59 and leakage current is measured -- 1×10^{-8} A/cm² it was . This is a value good as a dielectric capacitor which used the SBTB film. Y₂ O₃ [on the other hand,] the time of the impression electric field of the leakage current of the dielectric capacitor which obtained the SBTB film 57 by heat-treating the fluorite film 55, without forming the film 69 being 300 kV/cm -- 1×10^{-6} A/cm² it was . From the above result, by applying the manufacture approach of the dielectric capacitor by this invention shows that the leak current characteristic of the dielectric capacitor using the SBTB film is improved remarkably.

[0186] As mentioned above, according to this 17th operation gestalt, when manufacturing the dielectric capacitor using the SBTT film, the same advantage as the 3rd operation gestalt can be acquired. Namely, in case the dielectric capacitor using the SBTT film as a dielectric film is manufactured Sequential formation of the fluorite film 55 as the lower electrode which consists of Ti film 53 and Pt film 54, and precursor film of SBTT, and the Pt film 56 as an up electrode is carried out. After carrying out patterning of the Pt film 56 and the fluorite film 55 to the configuration of a dielectric capacitor by etching, It is Y2 O3 as a protective coat so that the side attachment wall of the Pt film 56 and the fluorite film 55 may be covered. By forming the film 69 Since a specific metal can deposit on the side attachment wall of a dielectric capacitor in the time of etching of the lower electrode which consists of Ti film 53 and Pt film 54, and the case of heat treatment performed after that or it can prevent that a conductive oxide is generated Degradation of the leak current characteristic of a dielectric capacitor can be prevented effectively, and it has the advantage that a leak current characteristic is improved remarkably, as compared with the former.

[0187] Moreover, it is remanence value $2P_r$ like the 11th operation gestalt by trying obtaining the SBTT film 57 by heat-treating this fluorite film 55 and crystallizing, after carrying out patterning of the fluorite film 55 as precursor film of SBTT to the configuration of a dielectric capacitor according to this 17th operation gestalt. And the advantage that coercive electric field $2E_C$ is improved can also be acquired.

[0188] Next, the 18th of this invention and the 19th operation gestalt which were applied to manufacture of the ferroelectric nonvolatile memory which has a using SBT film as dielectric film dielectric [approach / of the semiconductor memory by this invention / manufacture] capacitor are explained. In addition, in the complete diagram of the 18th and 19th operation gestalten, the sign identically same into a corresponding part is attached.

[0189] Drawing 22 - drawing 25 are the sectional views for explaining the manufacture approach of the ferroelectric nonvolatile memory by the 18th operation gestalt of this invention. A stack mold dielectric capacitor is used for this ferroelectric nonvolatile memory as a dielectric capacitor which constitutes a memory cell.

[0190] In the manufacture approach of the ferroelectric nonvolatile memory by this 18th operation gestalt, first, as shown in drawing 22 , a field insulator layer 102 like the diacid-ized silicon (SiO_2) film is alternatively formed in the front face of the p mold Si substrate 101 for example, by the LOCOS method, and separation between components is performed. At this time, p mold impurities, such as boron (B) beforehand introduced with ion-implantation etc. into the p mold Si substrate 101 in the isolation region between components, are spread, and it is p+ to the field insulator layer 102 bottom. The channel stopper (not shown) of a mold is formed. Then, it is SiO_2 of predetermined thickness for example, by the oxidizing [thermally] method to the front face of the active region surrounded by the field insulator layer 102. The gate dielectric film 103 which consists of film is formed.

[0191] next, chemical vapor deposition (CVD) -- the polycrystal Si film is formed in the whole surface by law. Next, in order to reduce resistance, an n mold impurity like Lynn (P) is doped on this polycrystal Si film at high concentration. Next, the gate electrode 104 which consists of polycrystal Si is formed on gate dielectric film 103 by carrying out patterning of this polycrystal Si film.

[0192] Next, an n mold impurity like P is doped with ion-implantation by using this gate electrode 104 as a mask all over the active region surrounded by the field insulator layer 102. By this, it is n in self align to the gate electrode 104 all over this active region. - A mold field is formed.

[0193] next, a CVD method -- SiO₂ of predetermined thickness reactive ion etching (RIE) after forming the film in the whole surface -- law -- this SiO₂ Etchback of the film is perpendicularly carried out to the front face of the p mold Si substrate 101. this -- the side attachment wall of the gate electrode 104 -- SiO₂ from -- the becoming sidewall spacer 105 is formed.

[0194] Next, an n mold impurity like an arsenic (As) is doped with ion-implantation all over the active region surrounded by the field insulator layer 102 by using this sidewall spacer 105 and the gate electrode 104 as a mask. Then, annealing for electrical-activity-izing of an impregnation impurity is performed if needed. By this, it is n⁺ in self align to the sidewall spacer 105. The source field 106 and the drain field 107 of a mold are formed. These source fields 106 and the drain field 107 are n to the part of the sidewall spacer 105 bottom. - It has the low high-impurity-concentration sections 106a and 107a of a mold. Here, these low high-impurity-concentration sections 106a and 107a are n formed in self align to the gate electrode 104, respectively. - It consists of a mold field. The n channel MOS transistor Q is formed at the process so far.

[0195] Next, for example, after forming an interlayer insulation film 108 like the boron phosphorus silicate glass (BPSG) film of predetermined thickness in the whole surface with a CVD method, by heat-treating by predetermined, a reflow of the interlayer insulation film 108 is carried out, and surface flattening is performed. Next, a contact hole 109 is formed in the interlayer insulation film 108 in the predetermined part on the source field 106, for example by the lithography method and the RIE method. Next, for example, after forming the polycrystal Si film in the whole surface with a CVD method, etchback is carried out by the RIE method until the front face of an interlayer insulation film 108 exposes this polycrystal Si film perpendicularly to the front face of the p mold Si substrate 101. Thereby, the polycrystal Si plug 110 is formed so that the inside of a contact hole 109 may be filled.

[0196] Next, as the 1st operation gestalt is shown in drawing 23 according to the same process, it is IrO₂ as a lower electrode on an interlayer insulation film 108. Sequential membrane formation of the amorphous film 113 as the film 111 and the Ir film 112, and precursor film of SBT and the Pt film 114 as an up electrode is carried out. Next, patterning of the Pt film 114 and the amorphous film 113 is carried out to the configuration of the dielectric capacitor C of 2micrometerx2micrometer size for example, by the RIE method. Next, the Ir film 112 and IrO₂ Patterning of the film 111 is carried out to a predetermined configuration so that it may extend on the polycrystal Si plug 110 and the interlayer insulation film 108 of the near.

[0197] Next, by heat-treating the amorphous film 113 by which did in this way and patterning was carried out to the configuration of the dielectric capacitor C at 750 degrees C in the oxygen ambient atmosphere of ordinary pressure for 1 hour for example, the phase change of the amorphous phase in the amorphous film 113 is carried out to the crystal phase of Bi system layer structure perovskite mold crystal structure, and the amorphous film 113 is crystallized. By this, as shown in drawing 24 , the SBT film 115 is obtained between the Ir film 112 and the Pt film 114. This SBT film 115 consists of a ferroelectric of Bi system layer structure perovskite mold crystal structure expressed with empirical formula $BixSry(Ta, Nb)_{2.0}Oz$ (however, $2.0 \leq x \leq 2.6$, $0.6 \leq y \leq 1.2$, $z = 9 \cdot d$, $0 \leq d \leq 1.0$).

[0198] Next, as shown in drawing 25 , an interlayer insulation film 116 is formed on the whole surface. Next, etching removal of the predetermined part on the drain field 107 is carried out among an interlayer insulation film 116 and an interlayer insulation film 108, and a contact hole 117 is formed. Next, after forming aluminum alloy film for example, by the sputtering method on the whole surface, patterning of

this aluminum alloy film is carried out to a predetermined configuration by etching, and the wiring electrode 118 is formed.

[0199] According to the above process, the ferroelectric nonvolatile memory made into the purpose is manufactured.

[0200] In case the dielectric capacitor using the SBT film as a dielectric film forms according to this 18th operation gestalt, by using the manufacture approach of the dielectric capacitor by the 1st operation gestalt Remanence value $2Pr$ of the dielectric capacitor C Since it is remarkably improvable, the area of the dielectric capacitor C is 2 10 micrometers. When it becomes the following, a dielectric capacitor with a good property can be realized. By this, it becomes realizable [the ferroelectric nonvolatile memory of high accumulation].

[0201] Drawing 26 - drawing 29 are the sectional views for explaining the manufacture approach of the ferroelectric nonvolatile memory by the 19th operation gestalt of this invention. A stack mold dielectric capacitor is used for this ferroelectric nonvolatile memory as a dielectric capacitor which constitutes a memory cell.

[0202] In the manufacture approach of the semiconductor memory by this 19th operation gestalt After forming to the polycrystal Si plug 110 according to the same process also in the 18th operation gestalt, as shown in drawing 26 The same process is followed also in the 3rd operation gestalt, and it is IrO_2 as a lower electrode on an interlayer insulation film 108. Sequential membrane formation of the amorphous film 113 as the film 111 and the Ir film 112, and precursor film of SBT and the Ru film 119 as an up electrode is carried out. Patterning of the Ru film 119 and the amorphous film 113 is carried out to the configuration of the dielectric capacitor C of $2\mu m \times 2\mu m$ size for example, by the RIE method. Next, it is Ta $2O_5$ as a protective coat for example, by the MOCVD method to the whole surface so that the side attachment wall of the Ru film 119 and the amorphous film 113 may be covered. The film 120 is formed. This Ta $2O_5$ The thickness of the film 120 is chosen as 30nm.

[0203] Next, that side attachment wall is Ta $2O_5$ about the amorphous film 113 by which patterning was carried out in this way to the configuration of the dielectric capacitor C . It is in the condition covered by the film 120, for example, by heat-treating at 750 degrees C in the oxygen ambient atmosphere of ordinary pressure for 1 hour for example, the phase change of the amorphous phase in the amorphous film 113 is carried out to the crystal phase of the perovskite mold crystal structure, and this amorphous film 113 is crystallized. By this, as shown in drawing 27, the SBT film 115 is obtained between the Ir film 112 and the Ru film 119. This SBT film 115 consists of a ferroelectric of Bi system layer structure perovskite mold crystal structure expressed with empirical formula $BixSry_{2.0}(Ta, Nb)O_z$ (however, $2.0 \leq x \leq 2.6$, $0.6 \leq y \leq 1.2$, $z = 9 \cdot d$, $0 \leq d \leq 1.0$).

[0204] Next, as shown in drawing 28, it is Ta $2O_5$. The film 120, the Ir film 112, and IrO_2 Patterning of the film 111 is carried out to a predetermined configuration by etching. At this time, it is Ta $2O_5$. The film 120 is left behind to the side attachment wall of the Ru film 119 and the SBT film 115, and they are the Ir film 112 and IrO_2 . The film 111 carries out patterning so that it may extend on the polycrystal Si plug 110 and the interlayer insulation film 108 of that near.

[0205] Next, as shown in drawing 29, an interlayer insulation film 116 is formed on the whole surface. Next, etching removal of the predetermined part on the drain field 107 is carried out among an interlayer insulation film 116 and an interlayer insulation film 108, and a contact hole 117 is formed. Next, after forming aluminum alloy film for example, by the sputtering method on the whole surface, patterning of

this aluminum alloy film is carried out to a predetermined configuration by etching, and the wiring electrode 118 is formed.

[0206] According to the above process, the ferroelectric nonvolatile memory made into the purpose is manufactured.

[0207] In case the dielectric capacitor using the SBT film as a dielectric film forms according to this 19th operation gestalt, by using the manufacture approach of the dielectric capacitor by the 3rd operation gestalt Remanence value $2P_r$ of the dielectric capacitor C And since a leak current characteristic is remarkably improvable The area of the dielectric capacitor C is 2 10 micrometers. When it becomes the following, while being able to realize a dielectric capacitor with a good property, improvement in dependability can be aimed at. By this, it becomes realizable [the ferroelectric nonvolatile memory of high accumulation].

[0208] Although the operation gestalt of this invention was explained concretely above, this invention is not limited to an above-mentioned operation gestalt, and various kinds of deformation based on the technical thought of this invention is possible for it.

[0209] for example, above-mentioned the 1- it may not pass over the ingredient and numeric value which were mentioned in the 19th operation gestalt, structure, a raw material, a process, etc. for an example to the last, but a different ingredient from these, a numeric value, structure, a raw material, a process, etc. may be used if needed. As electric conduction film which constitutes the electric conduction film and up electrode which specifically constitute the lower electrode of a dielectric capacitor in an above-mentioned operation gestalt, a thing may be used for what was illustrated, and a different thing.

[0210] Moreover, in the 2nd and 4th operation gestalten, the fluorite film 9 as precursor film of SBT may be formed by heat-treating the amorphous film as precursor film of SBT for 30 minutes at 600 degrees C in the oxygen ambient atmosphere of ordinary pressure for example.

[0211] Moreover, it sets in the 3rd, 4th, and 19th operation gestalten. Ta $2O_5$ as a protective coat It replaces with the film 12, 120 and is HfO_2 , respectively. May use the film etc. and it sets in the 6th, 8th, and 10th operation gestalten. Y_2O_3 as a protective coat It replaces with film 29, 39, and 50, and is CeO_2 , respectively. The film etc. may be used, and it sets in the 17th operation gestalt, and is Y_2O_3 as a protective coat. It replaces with the film 69, for example, is CeO_2 . The film etc. may be used.

[0212] moreover, 12th the 14- the 16th operation gestalt -- setting -- membrane formation of the amorphous film 60 and 66 as precursor film of SBTT -- MOCVD -- although carried out by law, membrane formation of these amorphous film 60 and 66 may be performed for example, with a sol-gel spin coat method. First, when forming the amorphous film 60 with a sol-gel spin coat method, it dries and a solvent is evaporated, after carrying out the spin coat of the raw material solution on a substrate. Next, after baking, for example at 350-600 degrees C, in an oxygen ambient atmosphere, by heat-treating for 3 - 30 minutes at 600-700 degrees C, the phase change of the amorphous film 60 is carried out, and the fluorite film 55 is obtained. Next, after forming an up electrode on the fluorite film 55 and carrying out patterning of an up electrode, the fluorite film, and the lower electrode to a predetermined capacitor configuration, the SBTT film 57 is again obtained by crystallizing the fluorite film 55 by heat-treating at 650-800 degrees C for example, in an oxygen ambient atmosphere.

[0213] moreover -- although he is trying to form capacitor structure in the 17th operation gestalt according to the same process as the 11th operation gestalt -- this -- the 12- you may make it form capacitor structure according to the same process as either of the 16th operation gestalt

[0214] Moreover, in the 18th operation gestalt, although the manufacture approach of the dielectric capacitor by the 1st operation gestalt is used for formation of the dielectric capacitor C using the SBT film as a dielectric film, this can also use the manufacture approach of the dielectric capacitor by the 2nd operation gestalt. Moreover, it is also possible to use the PZT film, the PNZT film, or the SBTT film as a dielectric film of the dielectric capacitor C. When using the PZT film as a dielectric film of the dielectric capacitor C When the manufacture approach of the dielectric capacitor by the 5th operation gestalt can be used for formation of this dielectric capacitor C and it uses the PNZT film for it the case where can use the manufacture approach of the dielectric capacitor by the 7th operation gestalt for formation of this dielectric capacitor C, and the SBTT film is used for it -- formation of this dielectric capacitor C -- the 11th manufacture approach of the dielectric capacitor by the 16th operation gestalt can be used. Moreover, the manufacture approach of the ferroelectric nonvolatile memory by this 18th operation gestalt can also be applied to manufacture of DRAM by using the BST film as a dielectric film of the dielectric capacitor C. In this case, the manufacture approach of the dielectric capacitor by the 9th operation gestalt can be used for formation of the dielectric capacitor C.

[0215] Moreover, similarly, in the 19th operation gestalt, although the manufacture approach of the dielectric capacitor by the 3rd operation gestalt is used for formation of the dielectric capacitor C using the SBT film as a dielectric film, this can use the manufacture approach of the dielectric capacitor by the 4th operation gestalt. Moreover, it is also possible to use the PZT film, the PNZT film, or the SBTT film as a dielectric film of the dielectric capacitor C. When using the PZT film as a dielectric film of the dielectric capacitor C When the manufacture approach of the dielectric capacitor by the 6th operation gestalt can be used for formation of this dielectric capacitor C and it uses the PNZT film for it When the manufacture approach of the dielectric capacitor by the 8th operation gestalt can be used for formation of this dielectric capacitor C and it uses the SBTT film for it, the manufacture approach of the dielectric capacitor by the 17th operation gestalt can be used for formation of this dielectric capacitor C. Moreover, the manufacture approach of the ferroelectric nonvolatile memory by this 19th operation gestalt can also be applied to manufacture of DRAM by using the BST film as a dielectric film of the dielectric capacitor C. In this case, the manufacture approach of the dielectric capacitor by the 10th operation gestalt can be used for formation of the dielectric capacitor C.

[0216] Moreover, this invention can be applied to manufacture of the semiconductor device or electronic instrument which has a dielectric capacitor in addition to manufacture of a semiconductor memory like the ferroelectric nonvolatile memory which has manufacture of the dielectric capacitor of a simple substance, and a dielectric capacitor, or DRAM.

[0217]

[Effect of the Invention] As explained above, according to invention of the 1st and the 3rd of this invention, a lower electrode, Sequential formation of the precursor film and up electrode which use as a principal component the amorphous phase or fluorite phase which consists of a configuration element of a dielectric is carried out. By trying obtaining a dielectric film by heat-treating the precursor film by which patterning was carried out to the configuration of a dielectric capacitor, after carrying out patterning of an up electrode and the precursor film to the configuration of a dielectric capacitor at least The property of a dielectric capacitor is remarkably improvable. Even if it is the case where the area of a dielectric capacitor contracts, a dielectric capacitor with a good property is realizable with this.

[0218] According to invention and invention of the 4th of the 2nd of this invention, sequential formation of

the precursor film and up electrode which use as a principal component the amorphous phase or fluorite phase which consists of a lower electrode and a configuration element of a dielectric is carried out. After carrying out patterning of an up electrode and the precursor film to the configuration of a dielectric capacitor by etching, the leak current characteristic of a dielectric capacitor is remarkably improvable by forming the protective coat so that the side attachment wall of these up electrodes and the precursor film may be covered. Moreover, the property of a dielectric capacitor is also remarkably improvable by trying obtaining a dielectric film by heat-treating the precursor film by which patterning was carried out to the configuration of a dielectric capacitor like the case of the 1st and the 3rd invention. Even if it is the case where the area of a dielectric capacitor contracts, while a dielectric capacitor with a good property is realizable with this, improvement in dependability can be aimed at.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is a sectional view for explaining the manufacture approach of the dielectric capacitor by the 1st operation gestalt of this invention.

[Drawing 2] It is the approximate line Fig. showing the remanence value in the dielectric capacitor using the SBT film, and the thickness dependency of the SBT film of a coercive electric field.

[Drawing 3] It is a sectional view for explaining the manufacture approach of the dielectric capacitor by the 2nd operation gestalt of this invention.

[Drawing 4] It is a sectional view for explaining the manufacture approach of the dielectric capacitor by the 3rd operation gestalt of this invention.

[Drawing 5] It is a sectional view for explaining the manufacture approach of the dielectric capacitor by the 4th operation gestalt of this invention.

[Drawing 6] It is a sectional view for explaining the manufacture approach of the dielectric capacitor by the 5th operation gestalt of this invention.

[Drawing 7] It is a sectional view for explaining the manufacture approach of the dielectric capacitor by the 6th operation gestalt of this invention.

[Drawing 8] It is a sectional view for explaining the manufacture approach of the dielectric capacitor by the 7th operation gestalt of this invention.

[Drawing 9] It is a sectional view for explaining the manufacture approach of the dielectric capacitor by the 8th operation gestalt of this invention.

[Drawing 10] It is a sectional view for explaining the manufacture approach of the dielectric capacitor by the 9th operation gestalt of this invention.

[Drawing 11] It is a sectional view for explaining the manufacture approach of the dielectric capacitor by the 10th operation gestalt of this invention.

[Drawing 12] It is a sectional view for explaining the manufacture approach of the dielectric capacitor by the 11th operation gestalt of this invention.

[Drawing 13] It is the approximate line Fig. showing the remanence value in the dielectric capacitor using the SBTT film, and Ti addition dependency of a coercive electric field.

[Drawing 14] It is the approximate line Fig. showing Ti addition dependency of the leak current density in the dielectric capacitor using the SBTT film.

[Drawing 15] It is the approximate line Fig. showing Ti addition dependency of the temperature characteristic of the remanence value in the dielectric capacitor using the SBTT film.

[Drawing 16] It is a sectional view for explaining the manufacture approach of the dielectric capacitor by the 12th operation gestalt of this invention.

[Drawing 17] It is a sectional view for explaining the manufacture approach of the dielectric capacitor by the 13th operation gestalt of this invention.

[Drawing 18] It is a sectional view for explaining the manufacture approach of the dielectric capacitor by the 14th operation gestalt of this invention.

[Drawing 19] It is a sectional view for explaining the manufacture approach of the dielectric capacitor by the 15th operation gestalt of this invention.

[Drawing 20] It is a sectional view for explaining the manufacture approach of the dielectric capacitor by the 16th operation gestalt of this invention.

[Drawing 21] It is a sectional view for explaining the manufacture approach of the dielectric capacitor by the 17th operation gestalt of this invention.

[Drawing 22] It is a sectional view for explaining the manufacture approach of the ferroelectric nonvolatile memory by the 18th operation gestalt of this invention.

[Drawing 23] It is a sectional view for explaining the manufacture approach of the ferroelectric nonvolatile memory by the 18th operation gestalt of this invention.

[Drawing 24] It is a sectional view for explaining the manufacture approach of the ferroelectric nonvolatile memory by the 18th operation gestalt of this invention.

[Drawing 25] It is a sectional view for explaining the manufacture approach of the ferroelectric nonvolatile memory by the 18th operation gestalt of this invention.

[Drawing 26] It is a sectional view for explaining the manufacture approach of the ferroelectric nonvolatile memory by the 19th operation gestalt of this invention.

[Drawing 27] It is a sectional view for explaining the manufacture approach of the ferroelectric nonvolatile memory by the 19th operation gestalt of this invention.

[Drawing 28] It is a sectional view for explaining the manufacture approach of the ferroelectric nonvolatile memory by the 19th operation gestalt of this invention.

[Drawing 29] It is a sectional view for explaining the manufacture approach of the ferroelectric nonvolatile memory by the 19th operation gestalt of this invention.

[Description of Notations]

1,101 ... Si substrate, 2,111 ... IrO₂ The film, 3,112 [... Pt film, 6,115 / ... The SBT film, 9 / ... The fluorite film, 11,119 / ... Ru film, 12,120 / ... Ta₂O₅ / The film, Q ... An n channel MOS transistor, C ... Dielectric capacitor] ... Ir film, 4,113 ... The amorphous film, 5,114

[Translation done.]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-236075

(P2000-236075A)

(43)公開日 平成12年8月29日(2000.8.29)

(51)Int.Cl. ⁷	識別記号	F I	テマコード* (参考)	
H 0 1 L	27/108	H 0 1 L 27/10	6 5 1	4 K 0 3 0
	21/8242	C 2 3 C 16/40		5 F 0 0 1
C 2 3 C	16/40	H 0 1 L 27/10	4 5 1	5 F 0 3 8
H 0 1 L	27/04	27/04	C	5 F 0 8 3
	21/822	27/10	6 2 1 Z	
審査請求 未請求 請求項の数90 O L (全 42 頁) 最終頁に続く				

(21)出願番号 特願平11-34815

(22)出願日 平成11年2月12日(1999.2.12)

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 広中 克行

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72)発明者 杉山 正隆

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74)代理人 100082762

弁理士 杉浦 正知

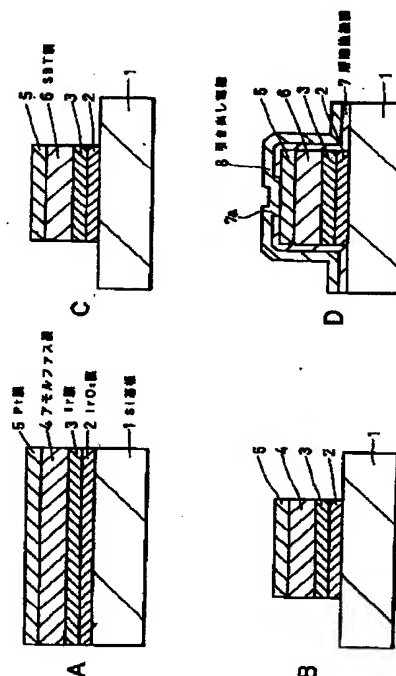
最終頁に続く

(54)【発明の名称】 誘電体キャパシタの製造方法および半導体記憶装置の製造方法

(57)【要約】

【課題】 ペロブスカイト型結晶構造の誘電体膜を用いた誘電体キャパシタおよびそのような誘電体キャパシタを有する半導体記憶装置を製造する際に、誘電体キャパシタの面積が縮小した場合であっても、特性の良好な誘電体キャパシタを実現することができる誘電体キャパシタの製造方法および半導体記憶装置の製造方法を提供する。

【解決手段】 誘電体膜として SBT 膜を用いた誘電体キャパシタを製造する際に、Si 基板 1 上に下部電極としての IrO_2 膜 2 および Ir 膜 3、SBT 膜の前駆体膜としてのアモルファス膜 4 ならびに上部電極としての Pt 膜 5 を順次成膜し、Pt 膜 5、アモルファス膜 4、Ir 膜 3 および IrO_2 膜 2 を誘電体キャパシタの形状にパターンニングした後、アモルファス膜 4 を熱処理することにより、アモルファス膜 4 中のアモルファス相をペロブスカイト型結晶構造の結晶相に相変化させて SBT 膜 6 を得る。



【特許請求の範囲】

【請求項1】 ペロブスカイト型結晶構造の誘電体からなる誘電体膜を用いた誘電体キャパシタの製造方法において、

下部電極を形成する工程と、

上記下部電極上に、上記誘電体の構成元素からなるアモルファス相またはフルオライト相を主成分とする前駆体膜を形成する工程と、

上記前駆体膜上に上部電極を形成する工程と、

少なくとも上記上部電極および上記前駆体膜をエッチングにより上記誘電体キャパシタの形状にパターンニングする工程と、

上記誘電体キャパシタの形状にパターンニングされた上記前駆体膜を熱処理することにより、上記アモルファス相またはフルオライト相をペロブスカイト型結晶構造の結晶相に相変化させて上記誘電体膜を得る工程とを有することを特徴とする誘電体キャパシタの製造方法。

【請求項2】 上記前駆体膜はBi、Sr、Ta、NbおよびOからなるアモルファス相またはフルオライト相を主成分とする膜（ただし、その原子組成比の範囲は $2.0 \leq 2\text{Bi} / (\text{Ta} + \text{Nb}) \leq 2.6$ 、 $0.6 \leq 2\text{Sr} / (\text{Ta} + \text{Nb}) \leq 1.2$ ）であることを特徴とする請求項1記載の誘電体キャパシタの製造方法。

【請求項3】 上記前駆体膜は上記下部電極上にBi、Sr、Ta、NbおよびOからなるアモルファス相を主成分とする膜（ただし、その原子組成比の範囲は $2.0 \leq 2\text{Bi} / (\text{Ta} + \text{Nb}) \leq 2.6$ 、 $0.6 \leq 2\text{Sr} / (\text{Ta} + \text{Nb}) \leq 1.2$ ）を形成した後、熱処理により上記アモルファス相をフルオライト相に相変化させることにより形成されることを特徴とする請求項1記載の誘電体キャパシタの製造方法。

【請求項4】 上記前駆体膜はBi、Sr、Ta、Nb、TiおよびOからなるアモルファス相またはフルオライト相を主成分とする膜（ただし、その原子組成比の範囲は $0.6 \leq 2\text{Sr} / (\text{Ta} + \text{Nb}) \leq 1.2$ 、 $1.7 \leq 2\text{Bi} / (\text{Ta} + \text{Nb}) \leq 2.5$ 、 $0 < 2\text{Ti} / (\text{Ta} + \text{Nb}) \leq 1.0$ ）であることを特徴とする請求項1記載の誘電体キャパシタの製造方法。

【請求項5】 上記前駆体膜は、化学気相成長法により上記フルオライト相を主成分とする膜を成膜することにより形成されることを特徴とする請求項4記載の誘電体キャパシタの製造方法。

【請求項6】 上記フルオライト相を主成分とする膜を 400°C 以上 650°C 以下の成膜温度で成膜するようにしたことを特徴とする請求項5記載の誘電体キャパシタの製造方法。

【請求項7】 上記化学気相成長の際に、 $\text{Bi}(\text{C}_6\text{H}_5)_3$ 、 $\text{Bi}(\text{o-C}_7\text{H}_7)_3$ 、 $\text{Bi}(\text{O-C}_2\text{H}_5)_3$ 、 $\text{Bi}(\text{O-iC}_3\text{H}_7)_3$ 、 $\text{Bi}(\text{O-tC}_4\text{H}_9)_3$ および $\text{Bi}(\text{o-tC}_5\text{H}_{11})_3$ からなる

第1の群より選ばれた少なくとも1種類の有機金属原料と、 $\text{Sr}(\text{THD})_2$ 、 $\text{Sr}(\text{THD})_2$ テトラグリムおよび $\text{Sr}(\text{Me}_5\text{C}_5)_2 \cdot 2\text{THF}$ からなる第2の群より選ばれた少なくとも1種類の有機金属原料と、 $\text{Ti}(\text{i-OC}_3\text{H}_7)_4$ 、 $\text{TiO}(\text{THD})_2$ および $\text{Ti}(\text{THD})_2(\text{i-OC}_3\text{H}_7)_2$ からなる第3の群より選ばれた少なくとも1種類の有機金属原料と、 $\text{Ta}(\text{i-OC}_3\text{H}_7)_5$ 、 $\text{Ta}(\text{i-OC}_3\text{H}_7)_4\text{THD}$ 、 $\text{Nb}(\text{i-OC}_3\text{H}_7)_5$ および $\text{Nb}(\text{i-OC}_3\text{H}_7)_4\text{THD}$ からなる第4の群より選ばれた少なくとも1種類の有機金属原料とを所定の組成に混合した混合ガスをさらに酸化性ガスと混合した混合ガスを反応ガスとして用いることを特徴とする請求項5記載の誘電体キャパシタの製造方法。

【請求項8】 上記前駆体膜は上記下部電極上にBi、Sr、Ta、Nb、TiおよびOからなるアモルファス相を主成分とする膜（ただし、その原子組成比の範囲は $0.6 \leq 2\text{Sr} / (\text{Ta} + \text{Nb}) \leq 1.2$ 、 $1.7 \leq 2\text{Bi} / (\text{Ta} + \text{Nb}) \leq 2.5$ 、 $0 < 2\text{Ti} / (\text{Ta} + \text{Nb}) \leq 1.0$ ）を形成した後、熱処理により上記アモルファス相をフルオライト相に相変化させることにより形成されることを特徴とする請求項1記載の誘電体キャパシタの製造方法。

【請求項9】 上記前駆体膜は、化学気相成長法により上記アモルファス相を主成分とする膜を成膜した後、酸化性ガス雰囲気中で熱処理することにより形成されることを特徴とする請求項8記載の誘電体キャパシタの製造方法。

【請求項10】 上記アモルファス相を主成分とする膜を 300°C 以上 500°C 以下の成膜温度で成膜するようにしたことを特徴とする請求項9記載の誘電体キャパシタの製造方法。

【請求項11】 上記熱処理を 600°C 以上 850°C 以下の温度で行うようにしたことを特徴とする請求項9記載の誘電体キャパシタの製造方法。

【請求項12】 上記化学気相成長の際に、 $\text{Bi}(\text{C}_6\text{H}_5)_3$ 、 $\text{Bi}(\text{o-C}_7\text{H}_7)_3$ 、 $\text{Bi}(\text{O-C}_2\text{H}_5)_3$ 、 $\text{Bi}(\text{O-iC}_3\text{H}_7)_3$ 、 $\text{Bi}(\text{O-tC}_4\text{H}_9)_3$ および $\text{Bi}(\text{O-tC}_5\text{H}_{11})_3$ からなる第1の群より選ばれた少なくとも1種類の有機金属原料と、 $\text{Sr}(\text{THD})_2$ 、 $\text{Sr}(\text{THD})_2$ テトラグリムおよび $\text{Sr}(\text{Me}_5\text{C}_5)_2 \cdot 2\text{THF}$ からなる第2の群より選ばれた少なくとも1種類の有機金属原料と、 $\text{Ti}(\text{i-OC}_3\text{H}_7)_4$ 、 $\text{TiO}(\text{THD})_2$ および $\text{Ti}(\text{THD})_2(\text{i-OC}_3\text{H}_7)_2$ からなる第3の群より選ばれた少なくとも1種類の有機金属原料と、 $\text{Ta}(\text{i-OC}_3\text{H}_7)_5$ 、 $\text{Ta}(\text{i-OC}_3\text{H}_7)_4\text{THD}$ 、 $\text{Nb}(\text{i-OC}_3\text{H}_7)_5$ および $\text{Nb}(\text{i-OC}_3\text{H}_7)_4\text{THD}$ からなる第4の群より選ばれた少なくとも1種類の有機金属原料とを所定の組成に混合した混合

ガスを反応ガスとして用いることを特徴とする請求項9記載の誘電体キャパシタの製造方法。

【請求項13】 上記化学気相成長の際に、 $\text{Bi}(\text{C}_6\text{H}_5)_3$ 、 $\text{Bi}(\text{o-C}_7\text{H}_7)_3$ 、 $\text{Bi}(\text{O-C}_2\text{H}_5)_3$ 、 $\text{Bi}(\text{O-iC}_3\text{H}_7)_3$ 、 $\text{Bi}(\text{O-tC}_4\text{H}_9)_3$ および $\text{Bi}(\text{O-tC}_5\text{H}_{11})_3$ からなる第1の群より選ばれた少なくとも1種類の有機金属原料と、 $\text{SrTa}_2(\text{OC}_2\text{H}_5)_{12}$ および $\text{SrNb}_2(\text{OC}_2\text{H}_5)_{12}$ からなる第2の群より選ばれた少なくとも1種類の有機金属原料と、 $\text{Ti}(\text{i-oC}_3\text{H}_7)_4$ 、 $\text{TiO}(\text{THD})_2$ および $\text{Ti}(\text{THD})_2(\text{i-OC}_3\text{H}_7)_2$ からなる第3の群より選ばれた少なくとも1種類の有機金属原料とを所定の組成に混合した混合ガスを反応ガスとして用いることを特徴とする請求項9記載の誘電体キャパシタの製造方法。

【請求項14】 上記前駆体膜はPb、Zr、TiおよびOからなるアモルファス相を主成分とする膜（ただし、その原子組成比の範囲は $0.1 \leq \text{Zr/Pb} \leq 0.6$ 、 $0.4 \leq \text{Ti/Pb} \leq 0.9$ ）であることを特徴とする請求項1記載の誘電体キャパシタの製造方法。

【請求項15】 上記前駆体膜はPb、Zr、Ti、NbおよびOからなるアモルファス相を主成分とする膜（ただし、その原子組成比の範囲は $0.1 \leq \text{Zr/Pb} \leq 0.6$ 、 $0.4 \leq \text{Ti/Pb} \leq 0.9$ 、 $0.03 \leq \text{Nb/Pb} \leq 0.30$ ）であることを特徴とする請求項1記載の誘電体キャパシタの製造方法。

【請求項16】 上記前駆体膜はBa、Sr、TiおよびOからなるアモルファス相を主成分とする膜（ただし、その原子組成比の範囲は $0 \leq \text{Sr/Ti} \leq 1.0$ 、 $0 \leq \text{Ba/Ti} \leq 1.0$ ）であることを特徴とする請求項1記載の誘電体キャパシタの製造方法。

【請求項17】 上記誘電体キャパシタの形状にパターニングされた上記前駆体膜を、酸化性ガス雰囲気中で熱処理するようにしたことを特徴とする請求項1記載の誘電体キャパシタの製造方法。

【請求項18】 上記酸化性ガス雰囲気中で熱処理を 500°C 以上 900°C 以下の温度で行うようにしたことを特徴とする請求項17記載の誘電体キャパシタの製造方法。

【請求項19】 上記誘電体キャパシタの形状にパターニングされた上記前駆体膜を、窒素ガス雰囲気中で 500°C 以上 900°C 以下の温度で熱処理した後、酸化性ガス雰囲気中で 500°C 以上 900°C 以下の温度で熱処理するようにしたことを特徴とする請求項1記載の誘電体キャパシタの製造方法。

【請求項20】 上記誘電体キャパシタの形状にパターニングされた上記前駆体膜を、窒素ガス雰囲気中で 500°C 以上 900°C 以下の温度で熱処理した後、オゾンを含む酸化性ガス雰囲気中で 300°C 以上 600°C 以下の温度で熱処理するようにしたことを特徴と

する請求項1記載の誘電体キャパシタの製造方法。

【請求項21】 上記誘電体キャパシタの形状にパターニングされた上記前駆体膜を、 100Torr 以下の減圧雰囲気中で 500°C 以上 800°C 以下の温度で熱処理した後、オゾンを0.5%以上含む酸化性ガス雰囲気中で 300°C 以上 600°C 以下の温度で熱処理するようにしたことを特徴とする請求項1記載の誘電体キャパシタの製造方法。

【請求項22】 上記誘電体膜の厚さが 20nm 以上 200nm 以下であることを特徴とする請求項1記載の誘電体キャパシタの製造方法。

【請求項23】 ペロブスカイト型結晶構造の誘電体からなる誘電体膜を用いた誘電体キャパシタの製造方法において、

下部電極を形成する工程と、

上記下部電極上に、上記誘電体の構成元素からなるアモルファス相またはフルオライト相を主成分とする前駆体膜を形成する工程と、

上記前駆体膜上に上部電極を形成する工程と、

20 上記上部電極および上記前駆体膜をエッチングにより上記誘電体キャパシタの形状にパターニングする工程と、上記誘電体キャパシタの形状にパターニングされた上記上部電極および上記前駆体膜の側壁を覆うように保護膜を形成する工程と、

上記誘電体キャパシタの形状にパターニングされ、かつ、その側壁が上記保護膜で覆われた上記前駆体膜を熱処理することにより、上記アモルファス相またはフルオライト相をペロブスカイト型結晶構造の結晶相に相変化させて上記誘電体膜を得る工程とを有することを特徴とする誘電体キャパシタの製造方法。

30 【請求項24】 上記前駆体膜はBi、Sr、Ta、NbおよびOからなるアモルファス相またはフルオライト相を主成分とする膜（ただし、その原子組成比の範囲は $2.0 \leq 2\text{Bi}/(\text{Ta}+\text{Nb}) \leq 2.6$ 、 $0.6 \leq 2\text{Sr}/(\text{Ta}+\text{Nb}) \leq 1.2$ ）であることを特徴とする請求項23記載の誘電体キャパシタの製造方法。

【請求項25】 上記前駆体膜は、上記下部電極上にBi、Sr、Ta、NbおよびOからなるアモルファス相を主成分とする膜（ただし、その原子組成比の範囲は $2.0 \leq 2\text{Bi}/(\text{Ta}+\text{Nb}) \leq 2.6$ 、 $0.6 \leq 2\text{Sr}/(\text{Ta}+\text{Nb}) \leq 1.2$ ）を形成した後、熱処理により上記アモルファス相をフルオライト相に相変化させることにより形成されることを特徴とする請求項23記載の誘電体キャパシタの製造方法。

【請求項26】 上記前駆体膜はBi、Sr、Ta、Nb、TiおよびOからなるアモルファス相またはフルオライト相を主成分とする膜（ただし、その原子組成比の範囲は $0.6 \leq 2\text{Sr}/(\text{Ta}+\text{Nb}) \leq 1.2$ 、 $1.7 \leq 2\text{Bi}/(\text{Ta}+\text{Nb}) \leq 2.5$ 、 $0 < 2\text{Ti}/(\text{Ta}+\text{Nb}) \leq 1.0$ ）であることを特徴とする請求

項23記載の誘電体キャパシタの製造方法。

【請求項27】 上記前駆体膜は、化学気相成長法により上記フルオライ相を主成分とする膜を成膜することにより形成されることを特徴とする請求項26記載の誘電体キャパシタの製造方法。

【請求項28】 上記フルオライト相を主成分とする膜を400℃以上650℃以下の成膜温度で成膜するようにしたことを特徴とする請求項27記載の誘電体キャパシタの製造方法。

【請求項29】 上記化学気相成長の際に、Bi(C₆H₅)₃、Bi(o-C₇H₇)₃、Bi(O-C₂H₅)₃、Bi(O-i-C₃H₇)₃、Bi(O-t-C₄H₉)₃ およびBi(o-t-C₅H₁₁)₃ からなる第1の群より選ばれた少なくとも1種類の有機金属原料と、Sr(THD)₂、Sr(THD)₂テトラグリムおよびSr(Me₅C₅)₂・2THFからなる第2の群より選ばれた少なくとも1種類の有機金属原料と、Ti(i-OC₃H₇)₄、TiO(THD)₂ およびTi(THD)₂(i-OC₃H₇)₂ からなる第3の群より選ばれた少なくとも1種類の有機金属原料と、Ta(i-OC₃H₇)₅、Ta(i-OC₃H₇)₄THD、Nb(i-OC₃H₇)₅ およびNb(i-OC₃H₇)₄THDからなる第4の群より選ばれた少なくとも1種類の有機金属原料とを所定の組成に混合した混合ガスをさらに酸化性ガスと混合した混合ガスを反応ガスとして用いることを特徴とする請求項27記載の誘電体キャパシタの製造方法。

【請求項30】 上記前駆体膜は上記下部電極上にBi、Sr、Ta、Nb、TiおよびOからなるアモルファス相を主成分とする膜（ただし、その原子組成比の範囲は0.6 ≤ 2Sr / (Ta + Nb) ≤ 1.2、1.7 ≤ 2Bi / (Ta + Nb) ≤ 2.5、0 < 2Ti / (Ta + Nb) ≤ 1.0）を形成した後、熱処理により上記アモルファス相をフルオライト相に相変化させることにより形成されることを特徴とする請求項23記載の誘電体キャパシタの製造方法。

【請求項31】 上記前駆体膜は、化学気相成長法により上記アモルファス相を主成分とする膜を成膜した後、酸化性ガス雰囲気中で熱処理することにより形成されることを特徴とする請求項30記載の誘電体キャパシタの製造方法。

【請求項32】 上記アモルファス相を主成分とする膜を300℃以上500℃以下の成膜温度で成膜するようにしたことを特徴とする請求項31記載の誘電体キャパシタの製造方法。

【請求項33】 上記熱処理を600℃以上850℃以下の温度で行うようにしたことを特徴とする請求項31記載の誘電体キャパシタの製造方法。

【請求項34】 上記化学気相成長の際に、Bi(C₆H₅)₃、Bi(o-C₇H₇)₃、Bi(O-C₂H₅)₃、Bi(O-i-C₃H₇)₃、Bi(O-t-C₄H₉)₃ およびBi(o-t-C₅H₁₁)₃ からなる第1の群より選ばれた少なくとも1種類の有機金属原料と、Sr(THD)₂、Sr(THD)₂テトラグリムおよびSr(Me₅C₅)₂・2THFからなる第2の群より選ばれた少なくとも1種類の有機金属原料と、Ti(i-OC₃H₇)₄、TiO(THD)₂ およびTi(THD)₂(i-OC₃H₇)₂ からなる第3の群より選ばれた少なくとも1種類の有機金属原料と、Ta(i-OC₃H₇)₅、Ta(i-OC₃H₇)₄THD、Nb(i-OC₃H₇)₅ およびNb(i-OC₃H₇)₄THDからなる第4の群より選ばれた少なくとも1種類の有機金属原料とを所定の組成に混合した混合ガスを反応ガスとして用いることを特徴とする請求項31記載の誘電体キャパシタの製造方法。

5) ₃、Bi(O-i-C₃H₇)₃、Bi(O-t-C₄H₉)₃ およびBi(O-t-C₅H₁₁)₃ からなる第1の群より選ばれた少なくとも1種類の有機金属原料と、Sr(THD)₂、Sr(THD)₂テトラグリムおよびSr(Me₅C₅)₂・2THFからなる第2の群より選ばれた少なくとも1種類の有機金属原料と、Ti(i-OC₃H₇)₄、TiO(THD)₂ およびTi(THD)₂(i-OC₃H₇)₂ からなる第3の群より選ばれた少なくとも1種類の有機金属原料と、Ta(i-OC₃H₇)₅、Ta(i-OC₃H₇)₄THD、Nb(i-OC₃H₇)₅ およびNb(i-OC₃H₇)₄THDからなる第4の群より選ばれた少なくとも1種類の有機金属原料とを所定の組成に混合した混合ガスを反応ガスとして用いることを特徴とする請求項31記載の誘電体キャパシタの製造方法。

【請求項35】 上記化学気相成長の際に、Bi(C₆H₅)₃、Bi(o-C₇H₇)₃、Bi(O-C₂H₅)₃、Bi(O-i-C₃H₇)₃、Bi(O-t-C₄H₉)₃ およびBi(o-t-C₅H₁₁)₃ からなる第1の群より選ばれた少なくとも1種類の有機金属原料と、SrTa₂(OC₂H₅)₁₂およびSrNb₂(OC₂H₅)₁₂からなる第2の群より選ばれた少なくとも1種類の有機金属原料と、Ti(i-OC₃H₇)₄、TiO(THD)₂ およびTi(THD)₂(i-OC₃H₇)₂ からなる第3の群より選ばれた少なくとも1種類の有機金属原料とを所定の組成に混合した混合ガスを反応ガスとして用いることを特徴とする請求項31記載の誘電体キャパシタの製造方法。

【請求項36】 上記前駆体膜はPb、Zr、TiおよびOからなるアモルファス相を主成分とする膜（ただし、その原子組成比の範囲は0.1 ≤ Zr / Pb ≤ 0.6、0.4 ≤ Ti / Pb ≤ 0.9）であることを特徴とする請求項23記載の誘電体キャパシタの製造方法。

【請求項37】 上記前駆体膜はPb、Zr、Ti、NbおよびOからなるアモルファス相を主成分とする膜（ただし、その原子組成比の範囲は0.1 ≤ Zr / Pb ≤ 0.6、0.4 ≤ Ti / Pb ≤ 0.9、0.03 ≤ Nb / Pb ≤ 0.30）であることを特徴とする請求項23記載の誘電体キャパシタの製造方法。

【請求項38】 上記前駆体膜はBa、Sr、TiおよびOからなるアモルファス相を主成分とする膜（ただし、その原子組成比の範囲は0 ≤ Sr / Ti ≤ 1.0、0 ≤ Ba / Ti ≤ 1.0）であることを特徴とする請求項23記載の誘電体キャパシタの製造方法。

【請求項39】 上記保護膜はSrTa₂O₆、Ta₂O₅、Nb₂O₅、ZrO₂、CeO₂、Y₂O₃ またはHfO₂ からなることを特徴とする請求項23記載の誘電体キャパシタの製造方法。

【請求項40】 上記誘電体キャパシタの形状にパターンニングされた上記前駆体膜を、酸化性ガス雰囲気中で熱

処理するようにしたことを特徴とする請求項23記載の誘電体キャパシタの製造方法。

【請求項41】 上記酸化性ガス雰囲気中での熱処理を500℃以上900℃以下の温度で行うようにしたことを特徴とする請求項40記載の誘電体キャパシタの製造方法。

【請求項42】 上記誘電体キャパシタの形状にパターンニングされた上記前駆体膜を、窒素ガス雰囲気中で500℃以上900℃以下の温度で熱処理した後、酸化性ガス雰囲気中で500℃以上900℃以下の温度で熱処理するようにしたことを特徴とする請求項23記載の誘電体キャパシタの製造方法。

【請求項43】 上記誘電体キャパシタの形状にパターンニングされた上記前駆体膜を、窒素ガス雰囲気中で500℃以上900℃以下の温度で熱処理した後、オゾンを用いて0.5%以上含む酸化性ガス雰囲気中で300℃以上600℃以下の温度で熱処理するようにしたことを特徴とする請求項23記載の誘電体キャパシタの製造方法。

【請求項44】 上記誘電体キャパシタの形状にパターンニングされた上記前駆体膜を、100 Torr以下の減圧雰囲気中で500℃以上800℃以下の温度で熱処理した後、オゾンを用いて0.5%以上含む酸化性ガス雰囲気中で300℃以上600℃以下の温度で熱処理するようにしたことを特徴とする請求項23記載の誘電体キャパシタの製造方法。

【請求項45】 上記誘電体膜の厚さが20nm以上200nm以下であることを特徴とする請求項23記載の誘電体キャパシタの製造方法。

【請求項46】 ペロブスカイト型結晶構造の誘電体からなる誘電体膜を用いた誘電体キャパシタを有する半導体記憶装置の製造方法において、上記誘電体キャパシタの下部電極を形成する工程と、上記下部電極上に、上記誘電体の構成元素からなるアモルファス相またはフルオライト相を主成分とする前駆体膜を形成する工程と、上記前駆体膜上に上記誘電体キャパシタの上部電極を形成する工程と、少なくとも上記上部電極および上記前駆体膜をエッチングにより上記誘電体キャパシタの形状にパターンニングする工程と、上記誘電体キャパシタの形状にパターンニングされた上記前駆体膜を熱処理することにより、上記アモルファス相またはフルオライト相をペロブスカイト型結晶構造の結晶相に相変化させて上記誘電体膜を得る工程とを有することを特徴とする半導体記憶装置の製造方法。

【請求項47】 上記前駆体膜はBi、Sr、Ta、NbおよびOからなるアモルファス相またはフルオライト相を主成分とする膜（ただし、その原子組成比の範囲は $2.0 \leq 2Bi / (Ta + Nb) \leq 2.6$ 、 $0.6 \leq 2Sr / (Ta + Nb) \leq 1.2$ ）であることを特徴とす

る請求項46記載の半導体記憶装置の製造方法。

【請求項48】 上記前駆体膜は、上記下部電極上にBi、Sr、Ta、NbおよびOからなるアモルファス相を主成分とする膜（ただし、その原子組成比の範囲は $2.0 \leq 2Bi / (Ta + Nb) \leq 2.6$ 、 $0.6 \leq 2Sr / (Ta + Nb) \leq 1.2$ ）を形成した後、熱処理により上記アモルファス相をフルオライト相に相変化させることにより形成されることを特徴とする請求項46記載の半導体記憶装置の製造方法。

10 【請求項49】 上記前駆体膜はBi、Sr、Ta、Nb、TiおよびOからなるアモルファス相またはフルオライト相を主成分とする膜（ただし、その原子組成比の範囲は $0.6 \leq 2Sr / (Ta + Nb) \leq 1.2$ 、 $1.7 \leq 2Bi / (Ta + Nb) \leq 2.5$ 、 $0 < 2Ti / (Ta + Nb) \leq 1.0$ ）であることを特徴とする請求項46記載の半導体記憶装置の製造方法。

【請求項50】 上記前駆体膜は、化学気相成長法により上記フルオライト相を主成分とする膜を成膜することにより形成されることを特徴とする請求項49記載の半導体記憶装置の製造方法。

20 【請求項51】 上記フルオライト相を主成分とする膜を400℃以上650℃以下の成膜温度で成膜するようにしたことを特徴とする請求項50記載の半導体記憶装置の製造方法。

【請求項52】 上記化学気相成長の際に、Bi(C₆H₅)₃、Bi(o-C₇H₇)₃、Bi(O-C₂H₅)₃、Bi(O-i-C₃H₇)₃、Bi(O-t-C₄H₉)₃ およびBi(o-t-C₅H₁₁)₃ からなる第1の群より選ばれた少なくとも1種類の有機金属原料と、Sr(THD)₂、Sr(THD)₂テトラグリムおよびSr(Me₅C₅)₂・2THFからなる第2の群より選ばれた少なくとも1種類の有機金属原料と、Ti(i-OC₃H₇)₄、TiO(THD)₂ およびTi(THD)₂(i-OC₃H₇)₂ からなる第3の群より選ばれた少なくとも1種類の有機金属原料と、Ta(i-OC₃H₇)₅、Ta(i-OC₃H₇)₄THD、Nb(i-OC₃H₇)₅ およびNb(i-OC₃H₇)₄THDからなる第4の群より選ばれた少なくとも1種類の有機金属原料とを所定の組成に混合した混合ガスをさらに酸化性ガスと混合した混合ガスを反応ガスとして用いることを特徴とする請求項50記載の半導体記憶装置の製造方法。

40 【請求項53】 上記前駆体膜は上記下部電極上にBi、Sr、Ta、Nb、TiおよびOからなるアモルファス相を主成分とする膜（ただし、その原子組成比の範囲は $0.6 \leq 2Sr / (Ta + Nb) \leq 1.2$ 、 $1.7 \leq 2Bi / (Ta + Nb) \leq 2.5$ 、 $0 < 2Ti / (Ta + Nb) \leq 1.0$ ）を形成した後、熱処理により上記アモルファス相をフルオライト相に相変化させることにより形成されることを特徴とする請求項46記載の半導

体記憶装置の製造方法。

【請求項54】 上記前駆体膜は、化学気相成長法により上記アモルファス相を主成分とする膜を成膜した後、酸化性ガス雰囲気中で熱処理することにより形成されることを特徴とする請求項53記載の半導体記憶装置の製造方法。

【請求項55】 上記アモルファス相を主成分とする膜を300℃以上500℃以下の成膜温度で成膜するようにしたことを特徴とする請求項54記載の半導体記憶装置の製造方法。

【請求項56】 上記熱処理を600℃以上850℃以下の温度で行うようにしたことを特徴とする請求項54記載の半導体記憶装置の製造方法。

【請求項57】 上記化学気相成長の際に、 $\text{Bi}(\text{C}_6\text{H}_5)_3$ 、 $\text{Bi}(\text{o-C}_7\text{H}_7)_3$ 、 $\text{Bi}(\text{O-C}_2\text{H}_5)_3$ 、 $\text{Bi}(\text{O-iC}_3\text{H}_7)_3$ 、 $\text{Bi}(\text{O-tC}_4\text{H}_9)_3$ および $\text{Bi}(\text{O-tC}_5\text{H}_{11})_3$ からなる第1の群より選ばれた少なくとも1種類の有機金属原料と、 $\text{Sr}(\text{THD})_2$ 、 $\text{Sr}(\text{THD})_2$ テトラグリムおよび $\text{Sr}(\text{Me}_5\text{C}_5)_2 \cdot 2\text{THF}$ からなる第2の群より選ばれた少なくとも1種類の有機金属原料と、 $\text{Ti}(\text{i-OC}_3\text{H}_7)_4$ 、 $\text{TiO}(\text{THD})_2$ および $\text{Ti}(\text{THD})_2(\text{i-OC}_3\text{H}_7)_2$ からなる第3の群より選ばれた少なくとも1種類の有機金属原料と、 $\text{Ta}(\text{i-OC}_3\text{H}_7)_5$ 、 $\text{Ta}(\text{i-OC}_3\text{H}_7)_4\text{THD}$ 、 $\text{Nb}(\text{i-OC}_3\text{H}_7)_5$ および $\text{Nb}(\text{i-OC}_3\text{H}_7)_4\text{THD}$ からなる第4の群より選ばれた少なくとも1種類の有機金属原料とを所定の組成に混合した混合ガスを反応ガスとして用いることを特徴とする請求項54記載の半導体記憶装置の製造方法。

【請求項58】 上記化学気相成長の際に、 $\text{Bi}(\text{C}_6\text{H}_5)_3$ 、 $\text{Bi}(\text{o-C}_7\text{H}_7)_3$ 、 $\text{Bi}(\text{O-C}_2\text{H}_5)_3$ 、 $\text{Bi}(\text{O-iC}_3\text{H}_7)_3$ 、 $\text{Bi}(\text{O-tC}_4\text{H}_9)_3$ および $\text{Bi}(\text{O-tC}_5\text{H}_{11})_3$ からなる第1の群より選ばれた少なくとも1種類の有機金属原料と、 $\text{SrTa}_2(\text{OC}_2\text{H}_5)_{12}$ および $\text{SrNb}_2(\text{OC}_2\text{H}_5)_{12}$ からなる第2の群より選ばれた少なくとも1種類の有機金属原料と、 $\text{Ti}(\text{i-oC}_3\text{H}_7)_4$ 、 $\text{TiO}(\text{THD})_2$ および $\text{Ti}(\text{THD})_2(\text{i-OC}_3\text{H}_7)_2$ からなる第3の群より選ばれた少なくとも1種類の有機金属原料とを所定の組成に混合した混合ガスを反応ガスとして用いることを特徴とする請求項54記載の半導体記憶装置の製造方法。

【請求項59】 上記前駆体膜は Pb 、 Zr 、 Ti および O からなるアモルファス相を主成分とする膜（ただし、その原子組成比の範囲は $0.1 \leq \text{Zr}/\text{Pb} \leq 0.6$ 、 $0.4 \leq \text{Ti}/\text{Pb} \leq 0.9$ ）であることを特徴とする請求項46記載の半導体記憶装置の製造方法。

【請求項60】 上記前駆体膜は Pb 、 Zr 、 Ti 、 Nb および O からなるアモルファス相を主成分とする膜

（ただし、その原子組成比の範囲は $0.1 \leq \text{Zr}/\text{Pb} \leq 0.6$ 、 $0.4 \leq \text{Ti}/\text{Pb} \leq 0.9$ 、 $0.03 \leq \text{Nb}/\text{Pb} \leq 0.30$ ）であることを特徴とする請求項46記載の半導体記憶装置の製造方法。

【請求項61】 上記前駆体膜は Ba 、 Sr 、 Ti および O からなるアモルファス相を主成分とする膜（ただし、その原子組成比の範囲は $0 \leq \text{Sr}/\text{Ti} \leq 1.0$ 、 $0 \leq \text{Ba}/\text{Ti} \leq 1.0$ ）であることを特徴とする請求項46記載の半導体記憶装置の製造方法。

10 【請求項62】 上記誘電体キャパシタの形状にパターンニングされた上記前駆体膜を、酸化性ガス雰囲気中で熱処理するようにしたことを特徴とする請求項46記載の半導体記憶装置の製造方法。

【請求項63】 上記酸化性ガス雰囲気中で熱処理を500℃以上900℃以下の温度で行うようにしたことを特徴とする請求項62記載の半導体記憶装置の製造方法。

【請求項64】 上記誘電体キャパシタの形状にパターンニングされた上記前駆体膜を、窒素ガス雰囲気中で500℃以上900℃以下の温度で熱処理した後、酸化性ガス雰囲気中で500℃以上900℃以下の温度で熱処理するようにしたことを特徴とする請求項46記載の半導体記憶装置の製造方法。

【請求項65】 上記誘電体キャパシタの形状にパターンニングされた上記前駆体膜を、窒素ガス雰囲気中で500℃以上900℃以下の温度で熱処理した後、オゾンを含む酸化性ガス雰囲気中で300℃以上600℃以下の温度で熱処理するようにしたことを特徴とする請求項46記載の半導体記憶装置の製造方法。

30 【請求項66】 上記誘電体キャパシタの形状にパターンニングされた上記前駆体膜を、100 Torr 以下の減圧雰囲気中で500℃以上800℃以下の温度で熱処理した後、オゾンを含む酸化性ガス雰囲気中で300℃以上600℃以下の温度で熱処理するようにしたことを特徴とする請求項46記載の半導体記憶装置の製造方法。

【請求項67】 上記誘電体膜の厚さが20nm以上200nm以下であることを特徴とする請求項46記載の半導体記憶装置の製造方法。

40 【請求項68】 ペロブスカイト型結晶構造の誘電体からなる誘電体膜を用いた誘電体キャパシタを有する半導体記憶装置の製造方法において、上記誘電体キャパシタの下部電極を形成する工程と、上記下部電極上に、上記誘電体の構成元素からなるアモルファス相またはフルオライト相を主成分とする前駆体膜を形成する工程と、上記前駆体膜上に上記誘電体キャパシタの上部電極を形成する工程と、上記上部電極および上記前駆体膜をエッチングにより上記誘電体キャパシタの形状にパターンニングする工程と、

上記誘電体キャパシタの形状にパターニングされた上記上部電極および上記前駆体膜の側壁を覆うように保護膜を形成する工程と、

上記誘電体キャパシタの形状にパターニングされ、かつ、その側壁が上記保護膜で覆われた上記前駆体膜を熱処理することにより、上記アモルファス相またはフルオライト相をペロブスカイト型結晶構造の結晶相に相変化させて上記誘電体膜を得る工程とを有することを特徴とする半導体記憶装置の製造方法。

【請求項69】 上記前駆体膜はBi、Sr、Ta、NbおよびOからなるアモルファス相またはフルオライト相を主成分とする膜（ただし、その原子組成比の範囲は $2.0 \leq 2Bi / (Ta + Nb) \leq 2.6$ 、 $0.6 \leq 2Sr / (Ta + Nb) \leq 1.2$ ）であることを特徴とする請求項68記載の半導体記憶装置の製造方法。

【請求項70】 上記前駆体膜は、上記下部電極上にBi、Sr、Ta、NbおよびOからなるアモルファス相を主成分とする膜（ただし、その原子組成比の範囲は $2.0 \leq 2Bi / (Ta + Nb) \leq 2.6$ 、 $0.6 \leq 2Sr / (Ta + Nb) \leq 1.2$ ）を形成した後、熱処理により上記アモルファス相をフルオライト相に相変化させることにより形成されることを特徴とする請求項68記載の半導体記憶装置の製造方法。

【請求項71】 上記前駆体膜はBi、Sr、Ta、Nb、TiおよびOからなるアモルファス相またはフルオライト相を主成分とする膜（ただし、その原子組成比の範囲は $0.6 \leq 2Sr / (Ta + Nb) \leq 1.2$ 、 $1.7 \leq 2Bi / (Ta + Nb) \leq 2.5$ 、 $0 < 2Ti / (Ta + Nb) \leq 1.0$ ）であることを特徴とする請求項68記載の半導体記憶装置の製造方法。

【請求項72】 上記前駆体膜は、化学気相成長法により上記フルオライト相を主成分とする膜を成膜することにより形成されることを特徴とする請求項71記載の半導体記憶装置の製造方法。

【請求項73】 上記フルオライト相を主成分とする膜を400℃以上650℃以下の成膜温度で成膜するようにしたことを特徴とする請求項72記載の半導体記憶装置の製造方法。

【請求項74】 上記化学気相成長の際に、Bi(C₆H₅)₃、Bi(o-C₇H₇)₃、Bi(O-C₂H₅)₃、Bi(O-iC₃H₇)₃、Bi(O-tC₄H₉)₃およびBi(o-tC₅H₁₁)₃からなる第1の群より選ばれた少なくとも1種類の有機金属原料と、Sr(THD)₂、Sr(THD)₂テトラグリムおよびSr(Me₅C₅)₂・2THFからなる第2の群より選ばれた少なくとも1種類の有機金属原料と、Ti(i-OC₃H₇)₄、TiO(THD)₂およびTi(THD)₂(i-OC₃H₇)₂からなる第3の群より選ばれた少なくとも1種類の有機金属原料と、Ta(i-OC₃H₇)₅、Ta(i-OC₃H₇)₄TH

D、Nb(i-OC₃H₇)₅およびNb(i-OC₃H₇)₄THDからなる第4の群より選ばれた少なくとも1種類の有機金属原料とを所定の組成に混合した混合ガスをさらに酸化性ガスと混合した混合ガスを反応ガスとして用いることを特徴とする請求項72記載の半導体記憶装置の製造方法。

【請求項75】 上記前駆体膜は上記下部電極上にBi、Sr、Ta、Nb、TiおよびOからなるアモルファス相を主成分とする膜（ただし、その原子組成比の範囲は $0.6 \leq 2Sr / (Ta + Nb) \leq 1.2$ 、 $1.7 \leq 2Bi / (Ta + Nb) \leq 2.5$ 、 $0 < 2Ti / (Ta + Nb) \leq 1.0$ ）を形成した後、熱処理により上記アモルファス相をフルオライト相に相変化させることにより形成されることを特徴とする請求項68記載の半導体記憶装置の製造方法。

【請求項76】 上記前駆体膜は、化学気相成長法により上記アモルファス相を主成分とする膜を成膜した後、酸化性ガス雰囲気中で熱処理することにより形成されることを特徴とする請求項75記載の半導体記憶装置の製造方法。

【請求項77】 上記アモルファス相を主成分とする膜を300℃以上500℃以下の成膜温度で成膜するようにしたことを特徴とする請求項76記載の半導体記憶装置の製造方法。

【請求項78】 上記熱処理を600℃以上850℃以下の温度で行うようにしたことを特徴とする請求項76記載の半導体記憶装置の製造方法。

【請求項79】 上記化学気相成長の際に、Bi(C₆H₅)₃、Bi(o-C₇H₇)₃、Bi(O-C₂H₅)₃、Bi(O-iC₃H₇)₃、Bi(O-tC₄H₉)₃およびBi(o-tC₅H₁₁)₃からなる第1の群より選ばれた少なくとも1種類の有機金属原料と、Sr(THD)₂、Sr(THD)₂テトラグリムおよびSr(Me₅C₅)₂・2THFからなる第2の群より選ばれた少なくとも1種類の有機金属原料と、Ti(i-OC₃H₇)₄、TiO(THD)₂およびTi(THD)₂(i-OC₃H₇)₂からなる第3の群より選ばれた少なくとも1種類の有機金属原料と、Ta(i-OC₃H₇)₅、Ta(i-OC₃H₇)₄THD、Nb(i-OC₃H₇)₅およびNb(i-OC₃H₇)₄THDからなる第4の群より選ばれた少なくとも1種類の有機金属原料とを所定の組成に混合した混合ガスを反応ガスとして用いることを特徴とする請求項76記載の半導体記憶装置の製造方法。

【請求項80】 上記化学気相成長の際に、Bi(C₆H₅)₃、Bi(o-C₇H₇)₃、Bi(O-C₂H₅)₃、Bi(O-iC₃H₇)₃、Bi(O-tC₄H₉)₃およびBi(o-tC₅H₁₁)₃からなる第1の群より選ばれた少なくとも1種類の有機金属原料と、SrTa₂(OC₂H₅)₁₂およびSrNb₂(OC₂

10

20

30

40

50

H₅)₁₂からなる第2の群より選ばれた少なくとも1種類の有機金属原料と、Ti(i-OC₃H₇)₄、TiO(THD)₂およびTi(THD)₂(i-OC₃H₇)₂からなる第3の群より選ばれた少なくとも1種類の有機金属原料とを所定の組成に混合した混合ガスを反応ガスとして用いることを特徴とする請求項76記載の半導体記憶装置の製造方法。

【請求項81】 上記前駆体膜はPb、Zr、TiおよびOからなるアモルファス相を主成分とする膜（ただし、その原子組成比の範囲は $0.1 \leq Zr/Pb \leq 0.6$ 、 $0.4 \leq Ti/Pb \leq 0.9$ ）であることを特徴とする請求項68記載の半導体記憶装置の製造方法。

【請求項82】 上記前駆体膜はPb、Zr、Ti、NbおよびOからなるアモルファス相を主成分とする膜（ただし、その原子組成比の範囲は $0.1 \leq Zr/Pb \leq 0.6$ 、 $0.4 \leq Ti/Pb \leq 0.9$ 、 $0.03 \leq Nb/Pb \leq 0.30$ ）であることを特徴とする請求項68記載の半導体記憶装置の製造方法。

【請求項83】 上記前駆体膜はBa、Sr、TiおよびOからなるアモルファス相を主成分とする膜（ただし、その原子組成比の範囲は $0 \leq Sr/Ti \leq 1.0$ 、 $0 \leq Ba/Ti \leq 1.0$ ）であることを特徴とする請求項68記載の半導体記憶装置の製造方法。

【請求項84】 上記保護膜はSrTa₂O₆、Ta₂O₅、Nb₂O₅、ZrO₂、CeO₂、Y₂O₃またはHfO₂からなることを特徴とする請求項68記載の半導体記憶装置の製造方法。

【請求項85】 上記誘電体キャパシタの形状にパターンニングされた上記前駆体膜を、酸化性ガス雰囲気中で熱処理するようにしたことを特徴とする請求項68記載の半導体記憶装置の製造方法。

【請求項86】 上記酸化性ガス雰囲気中で熱処理を500℃以上900℃以下の温度で行うようにしたことを特徴とする請求項85記載の半導体記憶装置の製造方法。

【請求項87】 上記誘電体キャパシタの形状にパターンニングされた上記前駆体膜を、窒素ガス雰囲気中で500℃以上900℃以下の温度で熱処理した後、酸化性ガス雰囲気中で500℃以上900℃以下の温度で熱処理するようにしたことを特徴とする請求項68記載の半導体記憶装置の製造方法。

【請求項88】 上記誘電体キャパシタの形状にパターンニングされた上記前駆体膜を、窒素ガス雰囲気中で500℃以上900℃以下の温度で熱処理した後、オゾンで0.5%以上含む酸化性ガス雰囲気中で300℃以上600℃以下の温度で熱処理するようにしたことを特徴とする請求項68記載の半導体記憶装置の製造方法。

【請求項89】 上記誘電体キャパシタの形状にパターンニングされた上記前駆体膜を、100 Torr以下の減圧雰囲気中で500℃以上800℃以下の温度で熱処理

した後、オゾンで0.5%以上含む酸化性ガス雰囲気中で300℃以上600℃以下の温度で熱処理するようにしたことを特徴とする請求項68記載の半導体記憶装置の製造方法。

【請求項90】 上記誘電体膜の厚さが20nm以上200nm以下であることを特徴とする請求項68記載の半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

10 【発明の属する技術分野】 この発明は、誘電体キャパシタの製造方法および半導体記憶装置の製造方法に関し、特に、ペロブスカイト型結晶構造の誘電体からなる誘電体膜を用いた誘電体キャパシタの製造、および、そのような誘電体キャパシタを有する半導体記憶装置の製造に適用して好適なものである。

【0002】

【従来の技術】 近年、半導体記憶装置の記憶容量の増大に伴ってメモリセルの面積は急速に縮小され、それに伴って、メモリセルを構成するキャパシタにおいては、3次元化された複雑な構造を採用することにより必要な電荷容量の確保がなされている。こうした中、構造の簡素化による歩留まりの改善や工程数の削減を図るため、誘電率の高い誘電体膜を用いた簡素な構造の誘電体キャパシタの採用が検討されている。このような誘電体キャパシタに用いられる誘電率の高い誘電体膜としては、ペロブスカイト型結晶構造を有し、その粒径が20~300nm程度の多結晶状の酸化物からなるものが知られている。

30 【0003】 従来、ペロブスカイト型結晶構造の誘電体からなる誘電体膜を用いた誘電体キャパシタを形成するためには、基体上に成膜された下部電極上に誘電体膜を成膜した後、この誘電体膜を熱処理することにより結晶化し、さらに、この結晶化された誘電体膜上に上部電極を成膜した後、反応性イオンエッチング(RIE)法またはイオンミリング法により、上部電極、誘電体膜および下部電極をエッチングして誘電体キャパシタの形状にパターンニングしていた。

【0004】

40 【発明が解決しようとする課題】 しかしながら、上述した従来技術によりペロブスカイト型結晶構造の誘電体からなる誘電体膜を用いた誘電体キャパシタを形成した場合、RIE法またはイオンミリング法によるエッチングの際に、誘電体膜の加工表面において特定元素がエッチングされたり酸素欠陥が発生するなどして、加工後の誘電体キャパシタの特性が著しく劣化するという問題があった。特に、半導体メモリの大記憶容量化に伴って誘電体キャパシタの面積が10μm²以下、数μm²程度にまで縮小した場合、キャパシタ全体の面積に対して誘電体膜中の個々の結晶粒が占める面積の割合が増大し、キャパシタの側壁部分に属する各結晶粒がエッチングプロ

セス中に受けるダメージの影響が相対的に大きくなり、誘電体キャパシタの特性の劣化の度合いも増大する傾向にあった。

【0005】また、従来技術によりペロブスカイト型結晶構造の誘電体からなる誘電体膜を用いた誘電体キャパシタを形成した場合、エッチングプロセスの際や、その後に行われる熱処理プロセスの際に、誘電体キャパシタの側壁に特定の金属が析出したり、あるいは、導電性の酸化物が生成されるなどして、特に、大記憶容量の半導体メモリにおいて誘電体キャパシタの面積が $10 \mu\text{m}^2$ 以下、数 μm^2 程度にまで縮小した場合、誘電体キャパシタのリーク電流が増大する傾向にあり、信頼性を損なう大きな問題となっていた。

【0006】したがって、この発明の目的は、ペロブスカイト型結晶構造の誘電体膜を用いた誘電体キャパシタおよびそのような誘電体キャパシタを有する半導体記憶装置を製造する際に、誘電体キャパシタの面積が縮小した場合であっても、特性の良好な誘電体キャパシタを実現することができる誘電体キャパシタの製造方法および半導体記憶装置の製造方法を提供することにある。

【0007】この発明の他の目的は、ペロブスカイト型結晶構造の誘電体膜を用いた誘電体キャパシタおよびそのような誘電体キャパシタを有する半導体記憶装置を製造する際に、誘電体キャパシタの面積が縮小した場合であっても、特性の良好な誘電体キャパシタを実現することができるとともに、信頼性の向上を図ることができる誘電体キャパシタの製造方法および半導体記憶装置の製造方法を提供することにある。

【0008】

【課題を解決するための手段】上記目的を達成するために、この発明の第1の発明は、ペロブスカイト型結晶構造の誘電体からなる誘電体膜を用いた誘電体キャパシタの製造方法において、下部電極を形成する工程と、下部電極上に、誘電体の構成元素からなるアモルファス相またはフルオライト相を主成分とする前駆体膜を形成する工程と、前駆体膜上に上部電極を形成する工程と、少なくとも上部電極および前駆体膜をエッチングにより誘電体キャパシタの形状にパターニングする工程と、誘電体キャパシタの形状にパターニングされた前駆体膜を熱処理することにより、アモルファス相またはフルオライト相をペロブスカイト型結晶構造の結晶相に相変化させて誘電体膜を得る工程とを有することを特徴とするものである。

【0009】この発明の第2の発明は、ペロブスカイト型結晶構造の誘電体からなる誘電体膜を用いた誘電体キャパシタの製造方法において、下部電極を形成する工程と、下部電極上に、誘電体の構成元素からなるアモルファス相またはフルオライト相を主成分とする前駆体膜を形成する工程と、前駆体膜上に上部電極を形成する工程と、上部電極および前駆体膜をエッチングにより誘電体

キャパシタの形状にパターニングする工程と、誘電体キャパシタの形状にパターニングされた上部電極および前駆体膜の側壁を覆うように保護膜を形成する工程と、誘電体キャパシタの形状にパターニングされ、かつ、その側壁が保護膜で覆われた前駆体膜を熱処理することにより、アモルファス相またはフルオライト相をペロブスカイト型結晶構造の結晶相に相変化させて誘電体膜を得る工程とを有することを特徴とするものである。

【0010】この発明の第3の発明は、ペロブスカイト型結晶構造の誘電体からなる誘電体膜を用いた誘電体キャパシタを有する半導体記憶装置の製造方法において、誘電体キャパシタの下部電極を形成する工程と、下部電極上に、誘電体の構成元素からなるアモルファス相またはフルオライト相を主成分とする前駆体膜を形成する工程と、前駆体膜上に誘電体キャパシタの上部電極を形成する工程と、少なくとも上部電極および前駆体膜をエッチングにより誘電体キャパシタの形状にパターニングする工程と、誘電体キャパシタの形状にパターニングされた前駆体膜を熱処理することにより、アモルファス相またはフルオライト相をペロブスカイト型結晶構造に相変化させて誘電体膜を得る工程とを有することを特徴とするものである。

【0011】この発明の第4の発明は、ペロブスカイト型結晶構造の誘電体からなる誘電体膜を用いた誘電体キャパシタを有する半導体記憶装置の製造方法において、誘電体キャパシタの下部電極を形成する工程と、下部電極上に、誘電体の構成元素からなるアモルファス相またはフルオライト相を主成分とする前駆体膜を形成する工程と、前駆体膜上に誘電体キャパシタの上部電極を形成する工程と、上部電極および前駆体膜をエッチングにより誘電体キャパシタの形状にパターニングする工程と、誘電体キャパシタの形状にパターニングされた上部電極および前駆体膜の側壁を覆うように保護膜を形成する工程と、誘電体キャパシタの形状にパターニングされ、かつ、その側壁が保護膜で覆われた前駆体膜を熱処理することにより、アモルファス相またはフルオライト相をペロブスカイト型結晶構造の結晶相に相変化させて誘電体膜を得る工程とを有することを特徴とするものである。

【0012】この発明において、前駆体膜としては、典型的には、 Bi 、 Sr 、 Ta 、 Nb および O からなるアモルファス相またはフルオライト相を主成分とする膜（ただし、その原子組成比の範囲は $2.0 \leq 2\text{Bi} / (\text{Ta} + \text{Nb}) \leq 2.6$ 、 $0.6 \leq 2\text{Sr} / (\text{Ta} + \text{Nb}) \leq 1.2$ ）が用いられる。この場合、この前駆体膜を熱処理することにより、組成式 $\text{Bi}_x \text{Sr}_y (\text{Ta}_z \text{Nb}_{1-z})_{2.0} \text{O}_w$ （ただし、 $2.0 \leq x \leq 2.6$ 、 $0.6 \leq y \leq 1.2$ 、 $0 \leq z \leq 1.0$ 、 $w = 9 \pm d$ 、 $0 \leq d \leq 1.0$ ）で表される Bi 系層状構造ペロブスカイト型結晶構造の強誘電体からなる誘電体膜（ SBT 膜）が得られる。また、この SBT の前駆体膜は、下部電極

上にBi、Sr、Ta、NbおよびOからなるアモルファス相を主成分とする膜（ただし、その原子組成比の範囲は $2.0 \leq 2\text{Bi}/(\text{Ta}+\text{Nb}) \leq 2.6$ 、 $0.6 \leq 2\text{Sr}/(\text{Ta}+\text{Nb}) \leq 1.2$ ）を形成した後、熱処理によりアモルファス相をフルオライト相に相変化させることにより形成するようにしてもよい。なお、この場合の熱処理は、好適には上部電極形成前に行われる。

【0013】この発明において、前駆体膜としては、Bi、Sr、Ta、Nb、TiおよびOからなるアモルファス相またはフルオライト相を主成分とする膜（ただし、その原子組成比の範囲は $0.6 \leq 2\text{Sr}/(\text{Ta}+\text{Nb}) \leq 1.2$ 、 $1.7 \leq 2\text{Bi}/(\text{Ta}+\text{Nb}) \leq 2.5$ 、 $0 < 2\text{Ti}/(\text{Ta}+\text{Nb}) \leq 1.0$ ）を用いてもよい。このBi、Sr、Ta、Nb、TiおよびOからなるアモルファス相またはフルオライト相を主成分とする膜からなる前駆体膜の原子組成比の範囲は、好適には、 $0.7 \leq 2\text{Sr}/(\text{Ta}+\text{Nb}) \leq 1.0$ 、 $2.0 \leq 2\text{Bi}/(\text{Ta}+\text{Nb}) \leq 2.4$ 、 $0.01 \leq 2\text{Ti}/(\text{Ta}+\text{Nb}) \leq 1.0$ に選ばれ、 $2\text{Ti}/(\text{Ta}+\text{Nb})$ に関しては、より好適には $0.1 \leq 2\text{Ti}/(\text{Ta}+\text{Nb}) \leq 1.0$ に選ばれる。この場合、この前

駆体膜を熱処理することにより、組成式 $\text{Sr}_x \text{Bi}_y (\text{Ta}, \text{Nb})_{2.0} \text{Ti}_z \text{O}_w$ （ただし、 $0.6 \leq x \leq 1.2$ 、 $1.7 \leq y \leq 2.5$ 、 $0 < z \leq 1.0$ 、 $w = 9 \pm d$ 、 $0 \leq d \leq 1.0$ 、好適には、 $0.7 \leq x \leq 1.0$ 、 $2.0 \leq y \leq 2.4$ 、 $0.01 \leq z \leq 1.0$ 、 $w = 9 \pm d$ 、 $0 \leq d \leq 1.0$ 、より好適には、 $0.7 \leq x \leq 1.0$ 、 $2.0 \leq y \leq 2.4$ 、 $0.1 \leq z \leq 1.0$ 、 $w = 9 \pm d$ 、 $0 \leq d \leq 1.0$ ）で表されるBi系層状構造ペロブスカイト型結晶構造の強誘電体からなる誘電体膜（SBTT膜）が得られる。また、このSBTTの前駆体膜は、下部電極上にBi、Sr、Ta、Nb、TiおよびOからなるアモルファス相を主成分とする膜（ただし、その原子組成比の範囲は $0.6 \leq 2\text{Sr}/(\text{Ta}+\text{Nb}) \leq 1.2$ 、 $1.7 \leq 2\text{Bi}/(\text{Ta}+\text{Nb}) \leq 2.5$ 、 $0 < 2\text{Ti}/(\text{Ta}+\text{Nb}) \leq 1.0$ ）を形成した後、熱処理によりアモルファス相をフルオライト相に相変化させることにより形成するようにしてもよい。なお、この場合の熱処理は、好適には上部電極形成前に行われる。

【0014】また、この発明において、前駆体膜としては、Pb、Zr、TiおよびOからなるアモルファス相を主成分とする膜（ただし、その原子組成比の範囲は $0.1 \leq \text{Zr}/\text{Pb} \leq 0.6$ 、 $0.4 \leq \text{Ti}/\text{Pb} \leq 0.9$ ）、あるいは、Pb、Zr、TiおよびOからなるアモルファス相を主成分とする膜（ただし、その原子組成比の範囲は $0.1 \leq \text{Zr}/\text{Pb} \leq 0.6$ 、 $0.4 \leq \text{Ti}/\text{Pb} \leq 0.9$ 、 $0.03 \leq \text{Nb}/\text{Pb} \leq 0.3$ ）を用いてもよい。前者の場合、前駆体膜を熱処理することにより、組成式 $\text{Pb}_{1.0} (\text{Zr}_x \text{Ti}_{1-x})_{1.0}$

O_3 （ただし、 $0.1 \leq x \leq 0.6$ ）で表されるペロブスカイト型結晶構造の強誘電体からなる誘電体膜（PZT膜）が得られ、後者の場合、前駆体膜を熱処理することにより、組成式 $\text{Pb}_{1.0-y} \text{Nb}_y (\text{Zr}_x \text{Ti}_{1-x})_{1.0} \text{O}_3$ （ただし、 $0.1 \leq x \leq 0.6$ 、 $0.03 \leq y \leq 0.30$ ）で表されるペロブスカイト型結晶構造の強誘電体からなる誘電体膜（PNZT膜）が得られる。

【0015】上述したこれらの強誘電体は、強誘電体メモリの強誘電体膜材料に用いて好適なものである。

10 【0016】この発明において、前駆体膜としては、さらに、Ba、Sr、TiおよびOからなるアモルファス相を主成分とする膜（ただし、その原子組成比の範囲は $0 \leq \text{Sr}/\text{Ti} \leq 1.0$ 、 $0 \leq \text{Ba}/\text{Ti} \leq 1.0$ ）を用いてもよい。この場合、この前駆体膜を熱処理することにより、組成式 $(\text{Ba}_x \text{Sr}_{1-x})_{1.0} \text{Ti}_{1.0} \text{O}_3$ （ただし、 $0 \leq x \leq 1.0$ ）で表される高誘電体からなる誘電体膜（BST膜）が得られる。この高誘電体は、例えばDRAMにおけるキャパシタの誘電体膜材料に用いて好適なものである。

20 【0017】この発明において、前駆体膜は、例えば、有機金属化学気相成長法などの化学気相成長法またはスピンコート法などにより成膜される。

【0018】この発明において、最終的に得る誘電体膜がSBTT膜である場合、その前駆体膜は、好適には、有機金属化学気相成長法などの化学気相成長法により、フルオライト相を主成分とする膜を成膜することにより形成される。この場合、フルオライト相を主成分とする膜は、例えば400℃以上650℃以下の成膜温度（基板温度）で成膜され、また、例えば1～10 Torrの反応ガス圧力で成膜される。反応ガスとしては、例えば、 $\text{Bi}(\text{C}_6\text{H}_5)_3$ 、 $\text{Bi}(\text{o-C}_7\text{H}_7)_3$ 、 $\text{Bi}(\text{O-C}_2\text{H}_5)_3$ 、 $\text{Bi}(\text{O-iC}_3\text{H}_7)_3$ 、 $\text{Bi}(\text{O-tC}_4\text{H}_9)_3$ および $\text{Bi}(\text{o-tC}_5\text{H}_{11})_3$ からなる第1の群より選ばれた少なくとも1種類の有機金属原料と、 $\text{Sr}(\text{THD})_2$ 、 $\text{Sr}(\text{THD})_2$ テトラグリム (tetraglyme) ($\text{THD}: 2,2,6,6\text{-Tetramethyl-3,5-heptandion}, \text{C}_{11}\text{H}_{19}\text{O}_2$) および $\text{Sr}(\text{Me}_5\text{C}_5)_2 \cdot 2\text{THF}$ ($\text{Me}=\text{CH}_3$ 、 $\text{THF}=\text{テトラヒドロフラン}$) からなる第2の群より選ばれた少なくとも1種類の有機金属原料と、 $\text{Ti}(\text{i-OC}_3\text{H}_7)_4$ 、 $\text{TiO}(\text{THD})_2$ および $\text{Ti}(\text{THD})_2(\text{i-OC}_3\text{H}_7)_2$ からなる第3の群より選ばれた少なくとも1種類の有機金属原料と、 $\text{Ta}(\text{i-OC}_3\text{H}_7)_5$ 、 $\text{Ta}(\text{i-OC}_3\text{H}_7)_4\text{THD}$ 、 $\text{Nb}(\text{i-OC}_3\text{H}_7)_5$ および $\text{Nb}(\text{i-OC}_3\text{H}_7)_4\text{THD}$ からなる第4の群より選ばれた少なくとも1種類の有機金属原料とを所定の組成に混合した混合ガスをさらに酸化性ガスと混合した混合ガスが用いられる。

50 【0019】また、最終的に得る誘電体膜がSBTT膜である場合、その前駆体膜は、一旦、下部電極上にアモ

ルファス相を主成分とする膜を形成した後、熱処理によってアモルファス相をフルオライト相を相変化させることにより形成されることもある。具体的には、この前駆体膜は、好適には、有機金属化学気相成長法などの化学気相成長法によりアモルファス相を主成分とする膜を成膜した後、酸化性ガス雰囲気中で熱処理することにより形成される。この場合、アモルファス相を主成分とする膜は、例えば300℃以上500℃以下の成膜温度（基板温度）で成膜され、また、例えば1~10 Torrの反応ガス圧力で成膜される。この場合の熱処理は、例えば600℃以上850℃以下の温度で、例えば30秒~120分間行う。反応ガスとしては、例えば、Bi(C₆H₅)₃、Bi(o-C₇H₇)₃、Bi(O-C₂H₅)₃、Bi(O-i-C₃H₇)₃、Bi(O-t-C₄H₉)₃およびBi(O-t-C₅H₁₁)₃からなる第1の群より選ばれた少なくとも1種類の有機金属原料と、Sr(THD)₂、Sr(THD)₂テトラグリムおよびSr(Me₅C₅)₂・2THFからなる第2の群より選ばれた少なくとも1種類の有機金属原料と、Ti(i-OC₃H₇)₄、TiO(THD)₂およびTi(THD)₂(i-OC₃H₇)₂からなる第3の群より選ばれた少なくとも1種類の有機金属原料と、Ta(i-OC₃H₇)₅、Ta(i-OC₃H₇)₄THD、Nb(i-OC₃H₇)₅およびNb(i-OC₃H₇)₄THDからなる第4の群より選ばれた少なくとも1種類の有機金属原料とを所定の組成に混合した混合ガスを用いるか、または、Bi(C₆H₅)₃、Bi(o-C₇H₇)₃、Bi(O-C₂H₅)₃、Bi(O-i-C₃H₇)₃、Bi(O-t-C₄H₉)₃およびBi(O-t-C₅H₁₁)₃からなる第1の群より選ばれた少なくとも1種類の有機金属原料と、SrTa₂(OC₂H₅)₁₂およびSrNb₂(OC₂H₅)₁₂(バイメタリックアルコキサイド)からなる第2の群より選ばれた少なくとも1種類の有機金属原料と、Ti(i-OC₃H₇)₄、TiO(THD)₂およびTi(THD)₂(i-OC₃H₇)₂からなる第3の群より選ばれた少なくとも1種類の有機金属原料とを所定の組成に混合した混合ガスを用いる。

【0020】この発明においては、誘電体膜を得るために、誘電体キャパシタの形状にパターンニングされた前駆体膜を、典型的には、酸化性ガス雰囲気中で熱処理し、この酸化性ガス雰囲気中での熱処理は、好適には500℃以上900℃以下、好適には650℃以上800℃以下の温度で行われる。また、誘電体膜を得るためには、誘電体キャパシタの形状にパターンニングされた前駆体膜を、窒素ガス雰囲気中で500℃以上900℃以下の温度で熱処理した後、酸化性ガス雰囲気中で500℃以上900℃以下の温度で熱処理してもよく、窒素ガス雰囲気中で500℃以上900℃以下の温度で熱処理した

00℃以上600℃以下の温度で熱処理してもよく、あるいは、100 Torr以下の減圧雰囲気中で500℃以上800℃以下の温度で熱処理した後、オゾンを含み5%以上含む酸化性ガス雰囲気中で300℃以上600℃以下の温度で熱処理してもよい。

【0021】この発明において、誘電体膜の厚さは、例えば20nm以上200nm以下に選ばれる。この誘電体膜の厚さは、より良好な特性を実現する観点から、好適には20nm以上100nm以下に選ばれ、さらに、この誘電体キャパシタを用いた半導体装置において低電圧動作を実現する観点から、より好適には30nm以上80nm以下に選ばれる。

【0022】この発明の第1の発明および第3の発明において、少なくとも上部電極および前駆体膜をエッチングにより誘電体キャパシタの形状にパターンニングする工程は、典型的には、例えば、反応性イオンエッチング法またはイオンミリング法により行われ、同様に、この発明の第2の発明および第4の発明において、上部電極および前駆体膜をエッチングにより誘電体キャパシタの形状にパターンニングする工程は、典型的には、例えば、反応性イオンエッチング法またはイオンミリング法により行われる。

【0023】この発明の第2の発明および第4の発明において、保護膜は、典型的には絶縁膜である。なお、この保護膜の材料と誘電体膜の材料との組み合わせ、したがって、保護膜の材料と前駆体膜の材料との組み合わせは、互いの構成元素同士が反応しないもの、あるいは、仮に反応が起きても安定な絶縁膜を形成するものであることが好ましい。この観点から、この保護膜の材料としては、誘電体膜の構成元素に応じて、例えば、SrTa₂O₆、Ta₂O₅、Nb₂O₅、ZrO₂、CeO₂、Y₂O₃またはHfO₂が用いられる。

【0024】上述のように構成されたこの発明の第1または第3の発明によれば、ペロブスカイト型結晶構造の誘電体を誘電体膜として用いた誘電体キャパシタを形成する際に、下部電極、誘電体の構成元素からなるアモルファス相またはフルオライト相を主成分とする前駆体膜および上部電極を順次形成し、少なくとも上部電極および前駆体膜をエッチングにより誘電体キャパシタの形状にパターンニングした後、誘電体キャパシタの形状にパターンニングされた前駆体膜を熱処理することにより、アモルファス相またはフルオライト相をペロブスカイト型結晶構造の結晶相に相変化させて誘電体膜を得るようにしていることにより、最終的に得られる誘電体膜中の結晶粒は、エッチング加工によってダメージを受けることがなく、したがって、エッチング加工による誘電体キャパシタの特性の劣化を防止することができる。

【0025】上述のように構成されたこの発明の第2の発明または第4の発明によれば、ペロブスカイト型結晶構造の誘電体を誘電体膜として用いた誘電体キャパシタ

を形成する際に、下部電極、誘電体の構成元素からなるアモルファス相またはフルオライト相を主成分とする前駆体膜および上部電極を順次形成し、上部電極および前駆体膜をエッチングにより誘電体キャパシタの形状にパターンニングした後、これらの上部電極および前駆体膜の側壁を覆うように保護膜を形成していることにより、下部電極のエッチングの際や、その後に行われる熱処理の際に、誘電体キャパシタの側壁に特定の金属が析出したり、導電性の酸化物が生成されることを防止することができるため、誘電体キャパシタのリーク電流特性の劣化を防止することができる。また、この第2、第4の発明によれば、第1、第3の発明の場合と同様に、誘電体キャパシタの形状にパターンニングされた前駆体膜を熱処理することにより誘電体膜を得るようにしていることにより、エッチング加工による誘電体キャパシタの特性の劣化を防止することもできる。

【0026】

【発明の実施の形態】以下、この発明の実施形態について図面を参照しながら説明する。まず、この発明による誘電体キャパシタの製造方法を、誘電体膜としてSBT膜を用いた誘電体キャパシタの製造に適用した、この発明の第1～第4の実施形態について説明する。なお、第1～第4の実施形態の全図において、同一または対応する部分には、同一の符号を付す。

【0027】図1は、この発明の第1の実施形態による誘電体キャパシタの製造方法を説明するための断面図である。

【0028】この第1の実施形態による誘電体キャパシタの製造方法においては、まず、図1Aに示すように、導電性のSi基板1上に、例えばスパッタリング法により通常の場合で、下部電極としてのIrO₂膜2およびIr膜3を順次成膜する。ここで、IrO₂膜2の膜厚は例えば100nmに選ばれ、Ir膜3の膜厚は例えば200nmに選ばれる。

【0029】次に、Ir膜3上に、例えばMOCVD法により、最終的に得るSBT膜の構成元素であるSr、Bi、TaおよびOからなる、SBTの前駆体膜としてのアモルファス膜4を成膜する。具体的には、Ir膜3まで成膜したSi基板1を図示省略したMOCVD装置の反応室（成膜室）のセセプタ上に設置して400～650℃の基板温度に加熱し、保持する。そして、Bi(C₆H₅)₃、Sr(DPM)₂テトラグリム(tetraglyme)（DPM＝ジピバロイルメタネート）およびTa(i-OC₃H₇)₄DPMの各有機金属原料を所定の組成比に混合したものを気化させる。そして、これにより得られるガスをアルゴンキャリアガスと混合してそれらの総流量が1000SCCMになるように設定して反応室の直前で流量1000SCCMの酸素ガスと混合した後、この混合ガスを原料ガスとして反応室に導入し0.1～50Torrの反応ガス圧力で成膜を行う。こ

れによって、SBTの前駆体膜としてのアモルファス膜4が成膜される。このアモルファス膜4の膜厚は例えば150nmに選ばれ、原子組成比の範囲は、例えば、 $2.0 \leq 2Bi/Ta \leq 2.6$ 、 $0.6 \leq 2Sr/Ta \leq 1.2$ に選ばれる。

【0030】次に、このアモルファス膜4上に、例えばスパッタリング法により通常の場合で上部電極としてのPt膜5を成膜する。このPt膜5の膜厚は例えば100nmに選ばれる。

10 【0031】次に、図1Bに示すように、Pt膜5、アモルファス膜4、Ir膜3およびIrO₂膜2を、例えばRIE法により、例えば2μm×2μmのサイズの誘電体キャパシタの形状にパターンニングする。

【0032】次に、このようにして誘電体キャパシタの形状にパターンニングされたアモルファス膜4を、例えば常圧の酸素雰囲気中において例えば750℃で1時間熱処理することにより、アモルファス膜4中のアモルファス相をBi系層状構造ペロブスカイト型結晶構造の結晶相に相変化させ、アモルファス膜4を結晶化する。これによって、図1Cに示すように、Ir膜3およびPt膜5の間にSBT膜6を得る。このSBT膜6は、組成式Bi_xSr_yTa_{2.0}O_z（ただし、 $2.0 \leq x \leq 2.6$ 、 $0.6 \leq y \leq 1.2$ 、 $z = 9 \pm d$ 、 $0 \leq d \leq 1.0$ ）で表されるBi系層状構造ペロブスカイト型結晶構造の強誘電体からなる。

【0033】次に、図1Dに示すように、全面に層間絶縁膜7を成膜する。次に、層間絶縁膜7のうちPt膜5の上の所定部分をエッチング除去してコンタクトホール7aを形成する。次に、全面に例えばスパッタリング法によりAl合金膜を成膜した後、このAl合金膜をエッチングにより所定形状にパターンニングして引き出し電極8を形成する。

【0034】以上の工程により、誘電体膜としてSBT膜を用いた目的とする誘電体キャパシタが製造される。

【0035】以上のようにして製造された誘電体キャパシタのSi基板1と引き出し電極8との間に電圧を印加して分極（P）－電圧（V）ヒステリシスを測定したところ、誘電分極値（残留分極値）2P_rとして、2P_r＝10～25μC/cm²の値が得られた。この2P_rはSBT膜を用いた誘電体キャパシタとしては良好な値であり、これがSi基板1を通した測定で得られた。これに対して、従来技術と同様に、アモルファス膜4を熱処理することにより結晶化してSBT膜6を得た後、このSBT膜6上にPt膜5を成膜し、その後、Pt膜5、SBT膜6、Ir膜3およびIrO₂膜2をエッチングにより誘電体キャパシタの形状にパターンニングすることにより製造された、2μm×2μmのサイズの誘電体キャパシタの残留分極値2P_rは10μC/cm²以下であった。以上のことから、この発明による誘電体キャパシタの製造方法を適用することにより、SBT膜を

用いた誘電体キャパシタにおいて、残留分極値 $2P_r$ が著しく改善されることがわかる。

【0036】ここで、この誘電体キャパシタの特性のSBT膜6の膜厚依存性について考察する。図2は、SBTの前駆体膜としてのアモルファス膜4をゾルゲルスピコート法により成膜したときの、SBT膜6の膜厚と残留分極値 $2P_r$ との関係およびSBT膜6の膜厚と抗電界 $2E_c$ との関係を示す。図2より、SBT膜6の膜厚が50~110nmのときに、 $13 \sim 14 \mu C/cm^2$ 程度の高い残留分極値 $2P_r$ および $100 kV/cm$ 程度の小さい抗電界 $2E_c$ が得られることがわかる。以上は、SBTの前駆体膜をスピコート法により成膜した場合についてであるが、この第1の実施形態のように、SBTの前駆体膜をMOCVD法により成膜した場合は、SBT膜6の膜厚が40nm程度以下であっても良好な残留分極値 $2P_r$ および抗電界 $2E_c$ が得られると考えられる。したがって、この誘電体キャパシタにおいては、SBT膜6の膜厚は通常20nm以上200nm以下に選ばれるが、より良好な特性を得る観点からは、このSBT膜6の膜厚は20nm以上100nm以下とすることが好ましいと言える。また、素子の微細化がさらに進展し、半導体装置の動作電圧が益々低減されることを視野に入れると、このSBT膜6の膜厚は30nm以上80nm以下とすることがより好ましいと言える。

【0037】以上のように、この第1の実施形態によれば、誘電体膜としてSBT膜を用いた誘電体キャパシタを製造する際に、 IrO_2 膜2とIr膜3とからなる下部電極、SBTの前駆体膜としてのアモルファス膜4および上部電極としてのPt膜5を順次成膜し、これらをエッチングにより誘電体キャパシタの形状にパターンニングし、この後、誘電体キャパシタの形状にパターンニングされたアモルファス膜4を熱処理することにより、このアモルファス膜4中のアモルファス相をペロブスカイト型結晶構造の結晶相に相変化させ誘電体膜としてのSBT膜6を得るようにしていることにより、最終的に得られるSBT膜6中の結晶粒は、エッチングによってダメージを受けることがなく、エッチング加工による誘電体キャパシタの残留分極値 $2P_r$ の劣化を効果的に防止することができ、従来技術と比較して、残留分極値 $2P_r$ が著しく改善されるという利点を有する。これによって、誘電体キャパシタの面積を $10 \mu m^2$ 以下（この例では、 $2 \mu m \times 2 \mu m$ ）に縮小した場合であっても、特性の良好な誘電体キャパシタを実現することができる。

【0038】図3は、この発明の第2の実施形態による誘電体キャパシタの製造方法を説明するための断面図である。

【0039】この第2の実施形態による誘電体キャパシタの製造方法においては、図3Aに示すように、第1の実施形態における同様の工程に従って、Si基板1上

にIr O_2 膜2、Ir膜3およびアモルファス膜4を順次成膜する。

【0040】次に、アモルファス膜4を、例えばRTA (Rapid Thermal Annealing) 法により700~800℃で30秒間熱処理することにより、このアモルファス膜4中のアモルファス相をフルオライト相に相変化させる。これにより、図3Bに示すように、Ir膜3上にSr、Bi、TaおよびOからなる、SBTの前駆体膜としてのフルオライト膜9を得る。ここで、フルオライト膜9の膜厚は例えば150nmに選ばれ、原子組成比の範囲は、例えば、 $2.0 \leq 2Bi/Ta \leq 2.6$ 、 $0.6 \leq 2Sr/Ta \leq 1.2$ に選ばれる。

【0041】次に、図3Cに示すように、このフルオライト膜9上に、例えばスパッタリング法により通常の条件で上部電極としてのIr膜10を成膜する。このIr膜10の膜厚は例えば100nmに選ばれる。次に、Ir膜10、フルオライト膜9、Ir膜3およびIr O_2 膜2を、例えばRIE法により、例えば $2 \mu m \times 2 \mu m$ のサイズの誘電体キャパシタの形状にパターンニングする。

【0042】次に、このようにして誘電体キャパシタの形状にパターンニングされたフルオライト膜9を、例えば常圧の酸素雰囲気中において例えば750℃で1時間熱処理することにより、このフルオライト膜9中のフルオライト相をBi系層状構造ペロブスカイト型結晶構造の結晶相に相変化させ、フルオライト膜9を結晶化する。これによって、図3Dに示すように、Ir膜3およびIr膜10の間にSBT膜6を得る。このSBT膜6は、組成式 $Bi_x Sr_y Ta_{2.0} O_z$ （ただし、 $2.0 \leq x \leq 2.6$ 、 $0.6 \leq y \leq 1.2$ 、 $z = 9 \pm d$ 、 $0 \leq d \leq 1.0$ ）で表されるBi系層状構造ペロブスカイト型結晶構造の強誘電体からなる。

【0043】次に、第1の実施形態における同様の工程に従って、図3Eに示すように、層間絶縁膜7、コンタクトホール7a、引き出し電極8を形成することにより、誘電体膜としてSBT膜を用いた目的とする誘電体キャパシタが製造される。

【0044】以上のようにして製造された誘電体キャパシタについて、第1の実施形態における同様にP-Vヒステリシスを測定したところ、残留分極値 $2P_r$ として $2P_r = 10 \sim 25 \mu C/cm^2$ の値が得られた。この $2P_r$ はSBT膜を用いた誘電体キャパシタとしては良好な値であり、これがSi基板1を通した測定で得られた。これに対して、従来技術と同様に、フルオライト膜9を熱処理することにより結晶化してSBT膜6を得た後、このSBT膜6上にIr膜10を成膜し、この後、Ir膜10、SBT膜6、Ir膜3およびIr O_2 膜2をエッチングにより誘電体キャパシタの形状にパターンニングすることにより製造された、 $2 \mu m \times 2 \mu m$ のサイズの誘電体キャパシタの残留分極値 $2P_r$ は 10μ

C/cm^2 以下であった。以上のことから、この発明による誘電体キャパシタの製造方法を適用することにより、SBT膜を用いた誘電体キャパシタにおいて、残留分極値 $2P_r$ が著しく改善されることがわかる。

【0045】以上のように、この第2の実施形態によれば、誘電体膜としてSBT膜を用いた誘電体キャパシタを製造する際に、下部電極としての IrO_2 膜2と Ir 膜3、SBTの前駆体膜としてのフルオライト膜9および上部電極としての Ir 膜10を順次成膜し、これらをエッチングにより誘電体キャパシタの形状にパターンニングした後、パターンニングされたフルオライト膜9を熱処理することにより、このフルオライト膜9中のフルオライト相をペロブスカイト型結晶構造の結晶相に相変化させ誘電体膜としてのSBT膜6を得るようにしていることにより、第1の実施形態と同様の利点を得ることができる。

【0046】図4は、この発明の第3の実施形態による誘電体キャパシタの製造方法を説明するための断面図である。

【0047】この第3の実施形態による誘電体キャパシタの製造方法においては、図4Aに示すように、第1の実施形態における同様の工程に従って、 Si 基板1上に IrO_2 膜2と Ir 膜3からなる下部電極およびSBTの前駆体膜としてのアモルファス膜4を順次成膜した後、このアモルファス膜4上に、例えばCVD法により、上部電極として膜厚100nmの Ru 膜11を成膜し、 Ru 膜11およびアモルファス膜4を、例えばRIE法により、例えば $2\mu m \times 2\mu m$ のサイズの誘電体キャパシタの形状にパターンニングする。次に、このように誘電体キャパシタの形状にパターンニングされた Ru 膜11およびアモルファス膜4の側壁を覆うように、全面に、例えばMOCVD法により、保護膜としての Ta_2O_5 膜12を成膜する。この Ta_2O_5 膜12の膜厚は例えば30nmに選ばれる。

【0048】次に、このように誘電体キャパシタの形状にパターンニングされたアモルファス膜4を、その側壁が Ta_2O_5 膜12で覆われた状態で、例えば常圧の酸素雰囲気中において例えば $750^\circ C$ で1時間熱処理することにより、アモルファス膜4中のアモルファス相をペロブスカイト型結晶構造の結晶相に相変化させ、このアモルファス膜4を結晶化する。これによって、図4Bに示すように、 Ir 膜3および Ru 膜11の間にSBT膜6を得る。このSBT膜6は、組成式 $Bi_x Sr_y Ta_{2.0} O_z$ （ただし、 $2.0 \leq x \leq 2.6$ 、 $0.6 \leq y \leq 1.2$ 、 $z = 9 \pm d$ 、 $0 \leq d \leq 1.0$ ）で表される Bi 系層状構造ペロブスカイト型結晶構造の強誘電体からなる。

【0049】次に、図4Cに示すように、 Ru 膜11およびSBT膜6の側壁に Ta_2O_5 膜12を残すように、 Ta_2O_5 膜12、 Ir 膜3および IrO_2 膜2を

エッチングにより所定形状にパターンニングする。

【0050】次に、図4Dに示すように、全面に層間絶縁膜7を成膜する。次に、層間絶縁膜7および Ta_2O_5 膜12のうち、 Ru 膜11の上の所定部分をエッチング除去してコンタクトホール7aを形成する。次に、全面に例えばスパッタリング法により Al 合金膜を成膜した後、この Al 合金膜をエッチングにより所定形状にパターンニングして引き出し電極8を形成する。

【0051】以上の工程により、誘電体膜としてSBT膜を用いた目的とする誘電体キャパシタが製造される。

【0052】以上のようにして製造された誘電体キャパシタの Si 基板1と引き出し電極8との間に電圧を印加してリーク電流を測定したところ、その値は印加電界が $300kV/cm$ のとき $1 \times 10^{-8} A/cm^2$ であった。これはSBT膜を用いた誘電体キャパシタとしては良好な値である。これに対して、 Ta_2O_5 膜12を形成せずにアモルファス膜4を熱処理することによりSBT膜6を得た誘電体キャパシタのリーク電流は、印加電界が $300kV/cm$ のとき $5 \times 10^{-7} A/cm^2$ であった。以上の結果から、この発明による誘電体キャパシタの製造方法を適用することにより、SBT膜を用いた誘電体キャパシタのリーク電流特性が著しく改善されることがわかる。

【0053】以上のように、この第3の実施形態によれば、SBT膜を用いた誘電体キャパシタを形成する際に、 IrO_2 膜2と Ir 膜3とからなる下部電極、SBTの前駆体膜としてのアモルファス膜4および上部電極としての Ru 膜11を順次形成し、 Ru 膜11およびアモルファス膜4をエッチングにより誘電体キャパシタの形状にパターンニングした後、 Ru 膜11およびアモルファス膜4の側壁を覆うように保護膜としての Ta_2O_5 膜12を形成していることにより、 IrO_2 膜2と Ir 膜3とからなる下部電極のエッチングの際や、その後に行われる熱処理の際に、誘電体キャパシタの側壁に特定の金属が析出したり、導電性の酸化物が生成されることを防止することができるので、誘電体キャパシタのリーク電流特性の劣化を効果的に防止することができ、従来と比較して、リーク電流特性が著しく改善されるという利点を有する。

【0054】また、この第3の実施形態によれば、SBTの前駆体膜としてのアモルファス膜4を誘電体キャパシタの形状にパターンニングした後、このアモルファス膜4を熱処理して結晶化することによりSBT膜6を得るようにしていることにより、第1の実施形態と同様に、残留分極値 $2P_r$ が改善されるという利点をも得ることができる。

【0055】したがって、この第3の実施形態によれば、誘電体キャパシタの面積を $10\mu m^2$ 以下とした場合であっても、特性の良好な誘電体キャパシタを実現することができるとともに、信頼性の向上を図ることがで

きる。

【0056】図5は、この発明の第4の実施形態による誘電体キャパシタの製造方法を説明するための断面図である。

【0057】この第4の実施形態による誘電体キャパシタの製造方法においては、第2の実施形態における同様の工程に従って、Si基板1上に、下部電極としてのIrO₂膜2とIr膜3、およびアモルファス膜4を順次成膜した後、このアモルファス膜4を熱処理することによりアモルファス相をフルオライト相に相変化させて、SBTの前駆体膜としてのフルオライト膜9を得る。次に、第2の実施形態における同様の工程に従って、フルオライト膜9上に上部電極としてのIr膜10を成膜した後、図5Aに示すように、Ir膜10およびフルオライト膜9を、例えばRIE法により、例えば2μm×2μmのサイズの誘電体キャパシタの形状にパターンニングする。次に、このように誘電体キャパシタの形状にパターンニングされたIr膜10およびフルオライト膜9の側壁を覆うように、全面に、例えばMOCVD法により、保護膜としてのTa₂O₅膜12を成膜する。このTa₂O₅膜12の膜厚は例えば30nmに選ばれる。

【0058】次に、第3の実施形態における同様に、側壁がTa₂O₅膜12で覆われた状態で、誘電体キャパシタの形状にパターンニングされたフルオライト膜9を、例えば常圧の酸素雰囲気中において例えば750℃で1時間熱処理することにより、フルオライト膜9中のフルオライト相をペロブスカイト型結晶構造の結晶相に相変化させ、このフルオライト膜9を結晶化する。これによって、図5Bのように、Ir膜3およびIr膜10の間にSBT膜6を得る。このSBT膜6は、組成式Bi_xSr_yTa₂₋₀O_z（ただし、2.0≤x≤2.6、0.6≤y≤1.2、z=9±d、0≤d≤1.0）で表されるBi系層状構造ペロブスカイト型結晶構造の強誘電体からなる。

【0059】次に、図5Cに示すように、Ir膜10およびフルオライト膜9の側壁にTa₂O₅膜12を残すように、Ta₂O₅膜12、Ir膜3およびIrO₂膜2をエッチングにより所定形状にパターンニングする。

【0060】次に、第3の実施形態における同様の工程に従って、図5Dに示すように、層間絶縁膜7、コンタクトホール7a、引き出し配線8を形成することにより、誘電体膜としてSBT膜を用いた目的とする誘電体キャパシタが製造される。

【0061】以上のようにして製造された誘電体キャパシタについて、第3の実施形態における同様にリーク電流を測定したところ、その値は印加電界が300kV/cmのとき1×10⁻⁸A/cm²であった。これに対して、Ta₂O₅膜12を形成せずにフルオライト膜9を熱処理することによりSBT膜6を得た誘電体キャパ

シタのリーク電流は、印加電界が300kV/cmのとき5×10⁻⁷A/cm²であった。以上の結果から、この発明による誘電体キャパシタの製造方法を適用することにより、SBT膜を用いた誘電体キャパシタのリーク電流特性が著しく改善されることがわかる。

【0062】この第4の実施形態によれば、誘電体膜としてSBT膜を用いた誘電体キャパシタを製造する際に、フルオライト相をBi系層状構造ペロブスカイト型結晶構造に相変化させてSBT膜を得る場合において、第3の実施形態と同様の効果を得ることができる。

【0063】次に、この発明による誘電体キャパシタの製造方法を、誘電体膜としてPZT膜を用いた誘電体キャパシタの製造に適用した、この発明の第5および第6の実施形態について説明する。なお、第5および第6の実施形態の全図において、同一または対応する部分には、同一の符号を付す。

【0064】図6は、この発明の第5の実施形態による誘電体キャパシタの製造方法を説明するための断面図である。

【0065】この第5の実施形態による誘電体キャパシタの製造方法においては、図6Aに示すように、導電性のSi基板21上に、例えばスパッタリング法により通常の条件で、下部電極としてのIrO₂膜22およびIr膜23を順次成膜する。ここで、IrO₂膜22の膜厚は例えば100nmに選ばれ、Ir膜23の膜厚は例えば100nmに選ばれる。

【0066】次に、Ir膜23上に、MOCVD法により、最終的に得るPZT膜の構成元素であるPb、Zr、TiおよびOからなる、PZTの前駆体膜としてのアモルファス膜24を成膜する。具体的には、Ir膜23まで成膜したSi基板21を図示省略したMOCVD装置の反応室（成膜室）のサセプタ上に設置して400～650℃の基板温度に加熱し、保持する。そして、Pb（DPM）₂、Zr（DPM）₂およびTi（i-O-C₃H₇）₂（DPM）₂の各有機金属原料を所定の組成比に混合したものを気化させる。そして、これにより得られるガスをアルゴンキャリアガスと混合してそれらの総流量が1000SCCMになるように設定して反応室の直前で流量1000SCCMの酸素ガスと混合した後、この混合ガスを原料ガスとして反応室に導入し0.1～50Torrの反応ガス圧力で成膜を行う。これによって、PZTの前駆体膜としてのアモルファス膜24が成膜される。このアモルファス膜24の膜厚は例えば150nmに選ばれ、原子組成比の範囲は、例えば、0.1≤Zr/Pb≤0.6、0.4≤Ti/Pb≤0.9に選ばれる。

【0067】次に、このアモルファス膜24上に、例えばスパッタリング法により通常の条件で上部電極としてのIr膜25を成膜する。このIr膜25の膜厚は例えば100nmに選ばれる。

【0068】次に、図6Bに示すように、Ir膜25、アモルファス膜24、Ir膜23およびIrO₂膜22を、例えばRIE法により、例えば2μm×2μmのサイズの誘電体キャパシタの形状にパターニングする。

【0069】次に、このようにして誘電体キャパシタの形状にパターニングされたアモルファス膜24を、例えば常圧の酸素雰囲気中において、例えば650℃で30分間熱処理することにより、アモルファス膜24中のアモルファス相をペロブスカイト型結晶構造の結晶相に相変化させて、このアモルファス膜24を結晶化する。これによって、図6Cに示すように、Ir膜23およびIr膜25の間にPZT膜26を得る。このPZT膜26は、組成式Pb_{1.0}(Zr_xTi_{1-x})_{1.0}O₃（ただし、0.1≤x≤0.6）で表されるペロブスカイト型結晶構造の強誘電体からなる。

【0070】次に、図6Dに示すように、全面に層間絶縁膜27を形成する。次に、この層間絶縁膜27のうちIr膜25の上の所定部分をエッチング除去してコンタクトホール27aを形成する。次に、全面に例えばスパッタリング法によりAl合金膜を成膜した後、このAl合金膜をエッチングにより所定形状にパターニングして引き出し電極28を形成する。

【0071】以上の工程により、誘電体膜としてPZT膜を用いた目的とする誘電体キャパシタが製造される。

【0072】以上のようにして製造された誘電体キャパシタのSi基板21と引き出し電極28との間に電圧を印加してP-Vヒステリシスを測定したところ、残留分極値2P_rとして、2P_r=20~60μC/cm²の値が得られた。この2P_rはPZT膜を用いた誘電体キャパシタとしては良好な値であり、これがSi基板21を通した測定で得られた。これに対して、従来技術と同様に、アモルファス膜24を熱処理することにより結晶化してPZT膜26を得た後、このPZT膜26上にIr膜25を成膜し、その後、Ir膜25、PZT膜26、Ir膜23およびIrO₂膜22をエッチングにより誘電体キャパシタの形状にパターニングすることにより製造された、2μm×2μmのサイズの誘電体キャパシタの残留分極値2P_rは10μC/cm²以下であった。以上のことから、この発明による誘電体キャパシタの製造方法を適用することにより、PZT膜を用いた誘電体キャパシタにおいて、残留分極値2P_rが著しく改善されることがわかる。

【0073】この第5の実施形態によれば、誘電体膜としてPZT膜を用いた誘電体キャパシタを製造する場合において、第1の実施形態と同様の効果を得ることができる。

【0074】図7は、この発明の第6の実施形態による誘電体キャパシタの製造方法を説明するための断面図である。

【0075】この第6の実施形態による誘電体キャパシ

タの製造方法においては、第5の実施形態におけると同様の工程に従って、Si基板21上に、下部電極としてのIrO₂膜22とIr膜23、PZTの前駆体膜としてのアモルファス膜24および上部電極としてのIr膜25を順次成膜した後、図7Aに示すように、Ir膜25およびアモルファス膜24を、例えばRIE法により、例えば2μm×2μmのサイズの誘電体キャパシタの形状にパターニングする。次に、このように誘電体キャパシタの形状にパターニングされたIr膜25およびアモルファス膜24の側壁を覆うように、全面に、例えばMOCVD法により、保護膜としてのY₂O₃膜29を成膜する。このY₂O₃膜29の膜厚は例えば30nmに選ばれる。

【0076】次に、このように側壁がY₂O₃膜29で覆われた状態で、誘電体キャパシタの形状にパターニングされたアモルファス膜24を、例えば常圧の酸素雰囲気中において例えば750℃で1時間間熱処理することにより、アモルファス膜24中のアモルファス相をペロブスカイト型結晶構造の結晶相に相変化させ、このアモルファス膜24を結晶化する。これによって、図7Bに示すように、Ir膜23およびIr膜25の間にPZT膜26を得る。このPZT膜26は、組成式Pb_{1.0}(Zr_xTi_{1-x})_{1.0}O₃（ただし、0.1≤x≤0.6）で表されるペロブスカイト型結晶構造の強誘電体からなる。

【0077】次に、図7Cに示すように、Ir膜25およびPZT膜26の側壁にY₂O₃膜29を残すように、Y₂O₃膜29、Ir膜23およびIrO₂膜22をエッチングにより所定形状にパターニングする。

【0078】次に、図7Dに示すように、全面に層間絶縁膜27を成膜する。次に、層間絶縁膜27およびY₂O₃膜29のうち、Ir膜25の上の所定部分をエッチング除去してコンタクトホール27aを形成する。次に、全面に例えばスパッタリング法によりAl合金膜を成膜した後、このAl合金膜をエッチングにより所定形状にパターニングして引き出し電極28を形成する。

【0079】以上の工程により、誘電体膜としてPZT膜を用いた目的とする誘電体キャパシタが製造される。

【0080】以上のようにして製造された誘電体キャパシタのSi基板21と引き出し電極18との間に電圧を印加してリーク電流を測定したところ、その値は印加電界が300kV/cmのとき1×10⁻⁸A/cm²であった。これはPZT膜を用いた誘電体キャパシタとしては良好な値である。これに対して、Y₂O₃膜29を形成せずにアモルファス膜24を熱処理することによりPZT膜26を得た誘電体キャパシタのリーク電流は、印加電界が300kV/cmのとき5×10⁻⁷A/cm²であった。以上の結果から、この発明による誘電体キャパシタの製造方法を適用することにより、PZT膜を用いた誘電体キャパシタのリーク電流特性が著しく改善さ

れることがわかる。

【0081】この第6の実施形態によれば、誘電体膜としてPNZT膜を用いた誘電体キャパシタを製造する場合において、第3の実施形態と同様の効果を得ることができる。

【0082】次に、この発明による誘電体キャパシタの製造方法を、誘電体膜としてPNZT膜を用いた誘電体キャパシタの製造に適用した、この発明の第7および第8の実施形態について説明する。なお、第7および第8の実施形態の全図において、同一または対応する部分には、同一の符号を付す。

【0083】図8は、この発明の第7の実施形態による誘電体キャパシタの製造方法を説明するための断面図である。

【0084】この第7実施形態による誘電体キャパシタの製造方法においては、図8Aに示すように、導電性のSi基板31上に、例えばスパッタリング法により通常の条件で、下部電極としてのIrO₂膜32およびIr膜33を順次成膜する。ここで、IrO₂膜32の膜厚は例えば100nmに選ばれ、Ir膜33の膜厚は例え

ば200nmに選ばれる。
【0085】次に、Ir膜33上に、ゾルーゲルスピンコート法により、最終的に得るPNZT膜の構成元素であるPb、Zr、Ti、NbおよびOからなる、PNZTの前駆体膜としてのアモルファス膜34を成膜する。このアモルファス膜34の膜厚は例えば150nmに選ばれ、原子組成比の範囲は、例えば、 $0.1 \leq Zr/Pb \leq 0.6$ 、 $0.4 \leq Ti/Pb \leq 0.9$ 、 $0.03 \leq Nb/Pb \leq 0.3$ に選ばれる。

【0086】次に、このアモルファス膜34上に、例えばスパッタリング法により通常の条件で上部電極としてのIr膜35を成膜する。このIr膜35の膜厚は例えば100nmに選ばれる。

【0087】次に、図8Bに示すように、Ir膜35、アモルファス膜34、Ir膜33およびIrO₂膜32を、例えばRIE法により、例えば2μm×2μmのサイズの誘電体キャパシタの形状にパターニングする。

【0088】次に、このようにして誘電体キャパシタの形状にパターニングされた後のアモルファス膜34を、例えば常圧の酸素雰囲気中において、例えば650℃で30分間熱処理することにより、アモルファス膜34中のアモルファス相をペロブスカイト型結晶構造の結晶相に相変化させて、このアモルファス膜34を結晶化する。これによって、図8Cに示すように、Ir膜33およびIr膜35の間にPNZT膜36を得る。このPNZT膜36は、組成式 $Pb_{1.0-y}Nb_y(Zr_xTi_{1-x})_{1.0}O_3$ （ただし、 $0.1 \leq x \leq 0.6$ 、 $0.03 \leq y \leq 0.30$ ）で表されるペロブスカイト型結晶構造の強誘電体からなる。

【0089】次に、図8Dに示すように、全面に層間絶

縁膜37を形成する。次に、この層間絶縁膜37のうちIr膜34の上の所定部分をエッチング除去してコンタクトホール37aを形成する。次に、全面に例えばスパッタリング法によりAl合金膜を成膜した後、このAl合金膜をエッチングにより所定形状にパターニングして引き出し電極38を形成する。

【0090】以上の工程により、誘電体膜としてPNZT膜を用いた目的とする誘電体キャパシタが製造される。

【0091】以上のようにして製造された誘電体キャパシタのSi基板31と引き出し電極38との間に電圧を印加してP-Vヒステリシスを測定したところ、残留分極値 $2P_r$ として、 $2P_r = 10 \sim 50 \mu C/cm^2$ の値が得られた。この $2P_r$ はPNZT膜を用いた誘電体キャパシタとしては良好な値であり、これがSi基板31を通した測定で得られた。これに対して、従来技術と同様に、アモルファス膜34を熱処理することにより結晶化してPNZT膜36を得た後、このPNZT膜36上にIr膜35を成膜し、この後、Ir膜35、PNZT膜36、Ir膜33およびIrO₂膜32をエッチングにより誘電体キャパシタの形状にパターニングすることにより製造された、2μm×2μmのサイズの誘電体キャパシタの残留分極値 $2P_r$ は $10 \mu C/cm^2$ 以下であった。以上のことから、この発明による誘電体キャパシタの製造方法を適用することにより、PNZT膜を用いた誘電体キャパシタにおいて、残留分極値 $2P_r$ が著しく改善されることがわかる。

【0092】この第7の実施形態によれば、誘電体膜としてPNZT膜を用いた誘電体キャパシタを製造する場合において、第1の実施形態と同様の効果を得ることができる。

【0093】図9は、この発明の第8の実施形態による誘電体キャパシタの製造方法を説明するための断面図である。

【0094】この第8の実施形態による誘電体キャパシタの製造方法においては、図9Aに示すように、第7の実施形態におけると同様の工程に従って、Si基板31上に、下部電極としてのIrO₂膜32とIr膜33、PNZTの前駆体膜としてのアモルファス膜34および上部電極としてのIr膜35を順次成膜した後、Ir膜35およびアモルファス膜34を、例えばRIE法により、例えば2μm×2μmのサイズの誘電体キャパシタの形状にパターニングする。次に、このように誘電体キャパシタの形状にパターニングされたIr膜35およびアモルファス膜34の側壁を覆うように、全面に、例えばMOCVD法により、保護膜としてのY₂O₃膜39を成膜する。このY₂O₃膜39の膜厚は例えば30nmに選ばれる。

【0095】次に、このように誘電体キャパシタの形状にパターニングされたアモルファス膜34を、その側壁

が Y_2O_3 膜39で覆われた状態で、例えば常圧の酸素雰囲気中において、例えば650℃で30分間熱処理することにより、アモルファス膜34中のアモルファス相をペロブスカイト型結晶構造の結晶相に相変化させ、このアモルファス膜34を結晶化する。これによって、図9Bに示すように、Ir膜33およびIr膜35の間にPNZT膜36を得る。このPNZT膜36は、組成式 $Pb_{1.0-y}Nb_y(Zr_xTi_{1-x})_{1.0}O_3$ （ただし、 $0.1 \leq x \leq 0.6$ 、 $0.03 \leq y \leq 0.30$ ）で表されるペロブスカイト型結晶構造の強誘電体からなる。

【0096】次に、図9Cに示すように、Ir膜35およびPNZT膜36の側壁に Y_2O_3 膜39を残すように、 Y_2O_3 膜39、Ir膜33およびIr膜35をエッチングにより所定形状にパターンニングする。

【0097】次に、図9Dに示すように、全面に層間絶縁膜37を成膜する。次に、層間絶縁膜37および Y_2O_3 膜39のうち、Ir膜35の上の所定部分をエッチング除去してコンタクトホール37aを形成する。次に、全面に例えばスパッタリング法によりAl合金膜を成膜した後、このAl合金膜をエッチングにより所定形状にパターンニングして引き出し電極38を形成する。

【0098】以上の工程により、誘電体膜としてPNZT膜を用いた目的とする誘電体キャパシタが製造される。

【0099】以上のようにして製造された誘電体キャパシタのSi基板31と引き出し電極38との間に電圧を印加してリーク電流を測定したところ、その値は印加電界が300kVのとき $1 \times 10^{-8} A/cm^2$ であった。この値はPNZT膜を用いた誘電体キャパシタとしては良好な値である。これに対して、 Y_2O_3 膜39を形成せずにアモルファス膜34を熱処理することによりPNZT膜36を得た誘電体キャパシタのリーク電流は、印加電界が300kV/cmのとき $1 \times 10^{-6} A/cm^2$ であった。以上の結果から、この発明による誘電体キャパシタの製造方法を適用することにより、PNZT膜を用いた誘電体キャパシタのリーク電流特性が著しく改善されることがわかる。

【0100】この第8の実施形態によれば、誘電体膜としてPNZT膜を用いた誘電体キャパシタを製造する場合において、第3の実施形態と同様の効果を得ることができる。

【0101】次に、この発明による誘電体キャパシタの製造方法を、誘電体膜としてBST膜を用いた誘電体キャパシタの製造に適用した、この発明の第9および第10の実施形態について説明する。なお、第9および第10の実施形態の全図において、同一または対応する部分には、同一の符号を付す。

【0102】図10は、この発明の第9の実施形態による誘電体キャパシタの製造方法を説明するための断面図

である。

【0103】この第9実施形態による誘電体キャパシタの製造方法においては、図10Aに示すように、導電性のSi基板41上に、例えばスパッタリング法により通常の条件で、下部電極としてのTi膜42、TiN膜43および RuO_2 膜44を順次成膜する。ここで、Ti膜42の膜厚は例えば30nmに選ばれ、TiN膜43の膜厚は例えば50nmに選ばれ、 RuO_2 膜44の膜厚は100nmに選ばれる。

【0104】次に、 RuO_2 膜44上に、例えばMOCVD法により、最終的に得るBST膜の構成元素であるBa、Sr、TiおよびOからなる、BSTの前駆体膜としてのアモルファス膜45を成膜する。具体的には、 RuO_2 膜44まで成膜したSi基板41を図示省略したMOCVD装置の反応室（成膜室）のサセプタ上に設置して300～500℃の基板温度に加熱し、保持する。そして、Ba(DPM)₂、Sr(DPM)₂およびTi(i-OC₃H₇)₂(DPM)₂の各有機金属原料を所定の組成比に混合したものを気化させる。そして、これにより得られるガスをアルゴンキャリアガスと混合してそれらの総流量が1000SCCMになるように設定して反応室の直前で流量1000SCCMの酸素ガスと混合した後、この混合ガスを原料ガスとして反応室に導入し0.1～50Torrの圧力で成膜を行う。これによって、BSTの前駆体膜としてのアモルファス膜45が成膜される。このアモルファス膜45の膜厚は例えば50nmに選ばれ、原子組成比の範囲は、例えば、 $0 \leq Sr/Ti \leq 1.0$ 、 $0 \leq Ba/Ti \leq 1.0$ に選ばれる。

【0105】次に、このアモルファス膜45上に、例えばCVD法により通常の条件で上部電極としてのRu膜46を成膜する。このRu膜46の膜厚は例えば50nmに選ばれる。

【0106】次に、図10Bに示すように、Ti膜42、TiN膜43、 RuO_2 膜44、アモルファス膜45およびRu膜46を、例えばRIE法により、例えば1μm×1μmのサイズの誘電体キャパシタの形状にパターンニングする。

【0107】次に、このようにして誘電体キャパシタの形状にパターンニングされた後のアモルファス膜45を、例えば常圧の酸素雰囲気中において、例えばRTA法により例えば700℃で30秒間熱処理した後、常圧の酸素雰囲気中において、例えば600℃で30分間熱処理することにより、アモルファス膜45中のアモルファス相をペロブスカイト型結晶構造の結晶相に相変化させて、このアモルファス膜45を結晶化する。これによって、図10Cに示すように、 RuO_2 膜44およびRu膜46の間にBST膜47を得る。このBST膜47は、組成式 $(Ba_xSr_{1-x})_{1.0}Ti_{1.0}O_3$ （ただし、 $0 \leq x \leq 1.0$ ）で表されるペロブスカイト型結晶

構造の高誘電体からなる。

【0108】次に、図10Dに示すように、全面に層間絶縁膜48を形成する。次に、この層間絶縁膜48のうちRu膜46の上の所定部分をエッチング除去してコンタクトホール48aを形成する。次に、全面に例えばスパッタリング法によりAl合金膜を成膜した後、このAl合金膜をエッチングにより所定形状にパターンニングして引き出し電極49を形成する。

【0109】以上の工程により、誘電体膜としてBST膜を用いた目的とする誘電体キャパシタが製造される。

【0110】以上のようにして製造された誘電体キャパシタにおけるBST膜47の誘電率 ϵ を測定したところ、 $\epsilon=80\sim180$ の値が得られた。この ϵ はBST膜としては良好な値である。これに対して、従来技術と同様に、アモルファス膜45を熱処理することにより結晶化してBST膜47を得た後、このBST膜47上にRu膜46を成膜し、その後、Ru膜46、BST膜47、RuO₂膜44、TiN膜43およびTi膜42をエッチングにより誘電体キャパシタの形状にパターンニングすることにより製造された、 $1\mu\text{m}\times1\mu\text{m}$ のサイズの誘電体キャパシタにおけるBST膜47の誘電率 ϵ は50以下であった。以上のことから、この発明による誘電体キャパシタの製造方法を適用することにより、BST膜を用いた誘電体キャパシタにおいて、BST膜の誘電率 ϵ が著しく改善されることがわかる。

【0111】この第9の実施形態によれば、誘電体膜としてBST膜を用いた誘電体キャパシタを製造する場合において、第1の実施形態と同様の利点を得ることができる。

【0112】図11は、この発明の第10の実施形態による誘電体キャパシタの製造方法を説明するための断面図である。

【0113】この第10の実施形態による誘電体キャパシタの製造方法においては、図11Aに示すように、第9の実施形態におけると同様の工程に従って、Si基板41上に、下部電極としてのTi膜42とTiN膜43とRuO₂膜44、BSTの前駆体膜としてのアモルファス膜45および上部電極としてのRu膜46を順次成膜した後、Ru膜46およびアモルファス膜45を、例えばRIE法により、例えば $1\mu\text{m}\times1\mu\text{m}$ のサイズの誘電体キャパシタの形状にパターンニングする。なお、この場合、アモルファス膜45の膜厚は例えば100nmに選ばれ、Ru膜46の膜厚は例えば100nmに選ばれる。次に、このように誘電体キャパシタの形状にパターンニングされたRu膜46およびアモルファス膜45の側壁を覆うように、全面に、例えばMOCVD法により、保護膜としてのY₂O₃膜50を成膜する。このY₂O₃膜50の膜厚は例えば30nmに選ばれる。

【0114】次に、このように誘電体キャパシタの形状にパターンニングされたアモルファス膜45を、その側壁

がY₂O₃膜50で覆われた状態で、例えば常圧の酸素雰囲気中において、例えばRTA法により例えば700℃で30秒間熱処理した後、常圧の酸素雰囲気中において、例えば600℃で30分間熱処理することにより、アモルファス膜45中のアモルファス相をペロブスカイト型結晶構造の結晶相に相変化させ、このアモルファス膜45を結晶化する。これによって、図11Bに示すように、RuO₂膜44およびRu膜46の間にBST膜47を得る。このBST膜47は、組成式(Ba_xSr_{1-x})_{1.0}Ti_{1.0}O₃ (ただし、 $0\leq x\leq 1.0$)で表されるペロブスカイト型結晶構造の高誘電体からなる。

【0115】次に、図11Cに示すように、Ru膜46およびBST膜45の側壁にY₂O₃膜50を残すように、Y₂O₃膜50、RuO₂膜44、TiN膜43およびTi膜42をエッチングにより所定形状にパターンニングする。

【0116】次に、図11Dに示すように、全面に層間絶縁膜48を成膜する。次に、層間絶縁膜48およびY₂O₃膜50のうち、Ru膜46の上の所定部分をエッチング除去してコンタクトホール48aを形成する。次に、全面に例えばスパッタリング法によりAl合金膜を成膜した後、このAl合金膜をエッチングにより所定形状にパターンニングして引き出し電極49を形成する。

【0117】以上の工程により、誘電体膜としてBST膜を用いた目的とする誘電体キャパシタが製造される。

【0118】以上のようにして製造された誘電体キャパシタのSi基板41と引き出し電極49との間に電圧を印加してリーク電流を測定したところ、その値は印加電界が300kV/cmのとき $5\times10^{-9}\text{A}/\text{cm}^2$ であった。この値はBST膜を用いた誘電体キャパシタとしては良好な値である。これに対して、Y₂O₃膜50を形成せずにアモルファス膜45を熱処理することによりBST膜47を得た誘電体キャパシタのリーク電流は、印加電界が300kV/cmのとき $1\times10^{-7}\text{A}/\text{cm}^2$ であった。以上の結果から、この発明による誘電体キャパシタの製造方法を適用することにより、BST膜を用いた誘電体キャパシタのリーク電流特性が著しく改善されることがわかる。

【0119】この第10の実施形態によれば、誘電体膜としてBST膜を用いた誘電体キャパシタを製造する場合において、第3の実施形態と同様の効果を得ることができる。

【0120】次に、この発明による誘電体キャパシタの製造方法を、誘電体膜としてSBTT膜を用いた誘電体キャパシタの製造に適用した、この発明の第11～第17の実施形態について説明する。なお、第11～第17の実施形態の全図において、同一または対応する部分には、同一の符号を付す。

【0121】図12は、この発明の第11の実施形態に

よる誘電体キャパシタの製造方法を説明するための断面図である。

【0122】この第11実施形態による誘電体キャパシタの製造方法においては、図12Aに示すように、導電性のSi基板51上に例えば熱酸化法により膜厚300nmのSiO₂膜52を形成した後、この上に、例えばスパッタリング法により通常の条件で、下部電極としてのTi膜53およびPt膜54を順次成膜する。ここで、Ti膜53の膜厚は例えば30nmに選ばれ、Pt膜54の膜厚は例えば200nmに選ばれる。

【0123】次に、Pt膜54上に、例えばMOCVD法により、最終的に得るSBTT膜の構成元素であるBi、Sr、Ta、TiおよびOからなる、SBTTの前駆体膜としてのフルオライト膜55を成膜する。具体的には、Pt膜54まで成膜したSi基板51を図示省略したMOCVD装置の反応室（成膜室）のサセプタ上に設置して400～650℃の基板温度に加熱し、保持する。そして、Bi(o-C₇H₇)₃、Sr(THD)₂、Ta(i-OC₃H₇)₅、Ti(i-OC₃H₇)₄の各有機金属原料を、それぞれ、流量200SCCM、220SCCM、50SCCM、30SCCMのアルゴンキャリアガスと混合して、さらに、反応室の直前で流量500SCCMの酸素ガスと混合した後、この混合ガスを原料ガスとして反応室に導入し1～10Torrの反応ガス圧力で成膜を行う。これによって、SBTTの前駆体膜としてのフルオライト膜55が成膜される。このフルオライト膜55の膜厚は例えば200nmに選ばれる。また、このフルオライト膜55の原子組成比の範囲は、例えば、 $0.6 \leq 2\text{Sr}/\text{Ta} \leq 1.2$ 、 $1.7 \leq 2\text{Bi}/\text{Ta} \leq 2.5$ 、 $0 < 2\text{Ti}/\text{Ta} \leq 1.0$ 、好適には例えば、 $0.7 \leq 2\text{Sr}/\text{Ta} \leq 1.0$ 、 $2.0 \leq 2\text{Bi}/\text{Ta} \leq 2.4$ 、 $0.01 \leq 2\text{Ti}/\text{Ta} \leq 1.0$ に選ばれ、 $2\text{Ti}/\text{Ta}$ に関しては、より好適には例えば、 $0.1 \leq 2\text{Ti}/\text{Ta} \leq 1.0$ に選ばれる。

【0124】次に、このフルオライト膜55上に、例えばスパッタリング法により通常の条件で上部電極としてのPt膜56を成膜する。このPt膜56の膜厚は例えば100nmに選ばれる。

【0125】次に、図12Bに示すように、Pt膜56、フルオライト膜55、Pt膜54およびTi膜53を、例えばRIE法により、例えば2μm×2μmのサイズの誘電体キャパシタの形状にパターンニングする。

【0126】次に、このようにして誘電体キャパシタの形状にパターンニングされた後のフルオライト膜55を、例えば常圧の酸素雰囲気中において例えば750℃で1時間熱処理することにより、フルオライト膜55中のフルオライト相をペロブスカイト型結晶構造の結晶相に変化させて、このフルオライト膜55を結晶化する。これによって、図12Cに示すように、Pt膜54および

Pt膜56の間にSBTT膜57を得る。このSBTT膜57は、組成式S_rx Bi_y Ta_{2.0} Ti_z O_w（ただし、 $0.6 \leq x \leq 1.2$ 、 $1.7 \leq y \leq 2.5$ 、 $0 < z \leq 1.0$ 、 $w = 9 \pm d$ 、 $0 \leq d \leq 1.0$ 、好適には、 $0.7 \leq x \leq 1.0$ 、 $2.0 \leq y \leq 2.4$ 、 $0.01 \leq z \leq 1.0$ 、 $w = 9 \pm d$ 、 $0 \leq d \leq 1.0$ 、より好適には、 $0.7 \leq x \leq 1.0$ 、 $2.0 \leq y \leq 2.4$ 、 $0.1 \leq z \leq 1.0$ 、 $w = 9 \pm d$ 、 $0 \leq d \leq 1.0$ ）で表されるBi系層状構造ペロブスカイト型結晶構造の強誘電体からなる。

【0127】次に、図12Dに示すように、全面に層間絶縁膜58を形成する。次に、この層間絶縁膜58のうちPt膜56の上の所定部分をエッチング除去してコンタクトホール58aを形成する。次に、全面に例えばスパッタリング法によりAl合金膜を成膜した後、このAl合金膜をエッチングにより所定形状にパターンニングして引き出し電極59を形成する。

【0128】以上の工程により、誘電体膜としてSBTT膜を用いた目的とする誘電体キャパシタが製造される。

【0129】以上のようにして製造された誘電体キャパシタのSi基板51と引き出し電極59との間に電圧を印加してP-Vヒステリシスを測定したところ、残留分極値2P_rとして $2P_r = 10 \sim 20 \mu\text{C}/\text{cm}^2$ の値が得られ、抗電界2E_cとして $2E_c = 100 \sim 150 \text{ kV}/\text{cm}$ の値が得られた。これらの2P_rおよび2E_cはSBTT膜を用いた誘電体キャパシタとしては良好な値であり、これがSi基板51を通した測定で得られた。これに対して、従来技術と同様に、フルオライト膜55を熱処理することにより結晶化してSBTT膜57を得た後、このSBTT膜57上にPt膜56を成膜し、この後、Pt膜56、SBTT膜57、Pt膜54およびTi膜53をエッチングにより誘電体キャパシタの形状にパターンニングすることにより製造された、2μm×2μmのサイズの誘電体キャパシタの残留分極値2P_rは10μC/cm²以下であり、抗電界2E_cは150kV/cm以上であった。以上のことから、この発明による誘電体キャパシタの製造方法を適用することにより、SBTT膜を用いた誘電体キャパシタにおいて、残留分極値2P_rおよび抗電界2E_cが著しく改善されることがわかる。

【0130】また、この誘電体キャパシタにおいては、誘電体膜として構成元素にTiを含むSBTT膜を用いているのが特徴的である。図13は、図12Dに示すと同様の構造の誘電体キャパシタの残留分極値2P_rおよび抗電界2E_cのTi添加量依存性を示す。ただし、この場合、SBTT膜（厳密にはその前駆体膜）はゾルゲルスピコート法により作製した。図15において横軸はTiの組成比（原料溶液中のモル比で表示）を示し、縦軸は残留分極値2P_r（μC/cm²）および抗

電界 $2E_C$ (kV/cm) を示す。この測定に用いた試料の作製時には、SBTT膜の前駆体膜の成膜後、上部電極の形成前に、常圧酸素雰囲気中で $750^\circ C$ または $800^\circ C$ で 1 時間熱処理し、さらに、上部電極形成およびパターニング後に酸素雰囲気中で $750^\circ C$ または $800^\circ C$ で 10 分間熱処理することにより SBTT 膜を得るようにしている。SBTT 膜としては、組成式 $Sr_{0.8}Bi_{2.4}Ta_{2.0}Ti_zO_w$ (ただし、 $w=9 \pm d$ 、 $0 \leq d \leq 1.0$) で表されるものを用い、試料毎に Ti の組成比 z を変化させた。また、 SiO_2 膜 52 の膜厚は 300 nm、 Ti 膜 53 の膜厚は 30 nm、 Pt 膜 54 の膜厚は 200 nm、SBTT 膜 57 の膜厚は 150 nm、 Pt 膜 56 の膜厚は 200 nm とした。図 13 より、残留分極値 $2P_r$ および抗電界 $2E_C$ は、SBTT 膜中の Ti の添加量に殆ど影響を受けないことがわかる。言い換えれば、SBTT 膜を用いた誘電体キャパシタにおいては、 Ti の組成比 z が $0 < z \leq 1.0$ の範囲では、SBTT 膜 ($z=0$ の場合) を用いた誘電体キャパシタに比べて遜色のない、良好な残留分極値 $2P_r$ および抗電界 $2E_C$ の値が得られることがわかる。

【0131】図 14 は、図 12D に示すと同様の構造の誘電体キャパシタにおいて、SBTT 膜中の Ti の添加量を変化させたときのリーク電流密度の測定結果を示す。図 14 において横軸は印加電圧 (V) を示し、縦軸はリーク電流密度 (A/cm^2) を示す。図 14 より、誘電体膜として Ti 無添加 ($z=0$) の SBTT 膜を用いた試料よりも、 Ti を添加した SBTT 膜を用いた試料の方が、特に高電界時のリーク電流密度が低減されることがわかる。すなわち、 Ti の添加によって誘電体キャパシタのリーク電流特性が改善されることがわかる。

【0132】図 15 は、図 12D に示すと同様の構造の誘電体キャパシタにおける残留分極値の温度特性の Ti 添加量依存性を示す。図 15 において横軸は測定温度 ($^\circ C$) を示し、縦軸は P_r 減少率 ($25^\circ C$ における P_r に対する各温度における P_r の比) を示す。図 15 より、誘電体膜として Ti 無添加 ($z=0$) の SBTT 膜を用いた試料よりも、 Ti を添加した SBTT 膜を用いた試料の方が高温時の P_r 減少率が小さくなり、 Ti の添加によって誘電体キャパシタの残留分極値の温度特性が改善されることがわかる。

【0133】また、別途行った実験によれば、この誘電体キャパシタの特性は SBTT 膜 57 の膜厚に依存することが確認されている。したがって、この誘電体キャパシタにおいては、SBTT 膜 57 の膜厚は通常 20 nm 以上 200 nm 以下に選ばれるが、より良好な特性を得る観点からは、SBTT 膜 57 の膜厚は 20 nm 以上 100 nm 以下とすることが好ましいと言える。また、素子の微細化がさらに進展し、半導体装置の動作電圧が益々低減されることを視野に入れると、SBTT 膜 57 の膜厚は 30 nm 以上 80 nm 以下とすることがより好ま

しいと言える。

【0134】以上のように、この第 11 の実施形態によれば、誘電体膜として SBTT 膜を用いた誘電体キャパシタを製造する場合において、第 1 の実施形態と同様な利点を得ることができる。すなわち、誘電体膜として SBTT 膜を用いた誘電体キャパシタを製造する際に、 Ti 膜 53 と Pt 膜 54 とからなる下部電極、SBTT の前駆体膜としてのフルオライト膜 55 および上部電極としての Pt 膜 56 を順次形成し、これらをエッチングにより誘電体キャパシタの形状にパターニングし、この後、誘電体キャパシタの形状にパターニングされたフルオライト膜 55 を熱処理することにより、このフルオライト膜 55 中のフルオライト相をペロブスカイト型結晶構造の結晶相に相変化させ誘電体膜としての SBTT 膜 57 を得るようにしていることにより、最終的に得られる SBTT 膜 57 中の結晶粒は、エッチングによってダメージを受けることがなく、エッチング加工による残留分極値 $2P_r$ および抗電界 $2E_C$ の劣化を効果的に防止することができ、従来技術と比較して、残留分極値 $2P_r$ および抗電界 $2E_C$ が著しく改善されるという利点を有する。これによって、誘電体キャパシタの面積を $10 \mu m^2$ 以下 (この例では、 $2 \mu m \times 2 \mu m$) に縮小した場合であっても、特性の良好な誘電体キャパシタを実現することができる。

【0135】また、この第 11 の実施形態によれば、誘電体膜として構成元素に Ti を含む SBTT 膜を用いていることにより、リーク電流特性および残留分極値の温度特性が改善されるという利点をも得ることができる。

【0136】図 16 は、この発明の第 12 の実施形態による誘電体キャパシタの製造方法を説明するための断面図である。

【0137】この第 12 実施形態による誘電体キャパシタの製造方法においては、図 16A に示すように、第 11 の実施形態におけると同様の工程に従って、 Si 基板 51 上に SiO_2 膜 52 を形成し、この上に下部電極としての Ti 膜 53 と Pt 膜 54 とを順次成膜する。

【0138】次に、 Pt 膜 54 上に、例えば MOCVD 法により、最終的に得る SBTT 膜の構成元素である Bi 、 Sr 、 Ta 、 Ti および O からなる、SBTT の前駆体膜 (厳密には、フルオライト膜 55 の前駆体膜) としてのアモルファス膜 60 を成膜する。具体的には、 Pt 膜 54 まで成膜した Si 基板 51 を図示省略した MOCVD 装置の反応室 (成膜室) のサセプタ上に設置して $300 \sim 500^\circ C$ の基板温度に加熱し、保持する。そして、 $Bi(C_6H_5)_3$ 、 $Sr(THD)_2$ 、 $Ta(i-OC_3H_7)_4$ 、 $Ti(i-OC_3H_7)_4$ の各有機金属原料を所定の濃度で THF (テトラヒドロフラン) 溶媒中に溶解した液体ソースを所定の組成比に混合した混合溶液を、 $200^\circ C$ に保持された気化器内で気化させる。そして、これにより得られるガスを流量 50

OSCCMのアルゴンキャリアガスと混合して、反応室の直前で流量500SCCMの酸素ガスと混合した後、この混合ガスを原料ガスとして反応室に導入し1~10 Torrの反応ガス圧力で成膜を行う。これによって、SBTTの前駆体膜としてのアモルファス膜60が成膜される。このアモルファス膜60の膜厚は例えば100nmに選ばれる。また、このアモルファス膜60の原子組成比の範囲は、例えば、 $0.6 \leq 2\text{Sr}/\text{Ta} \leq 1.2$ 、 $1.7 \leq 2\text{Bi}/\text{Ta} \leq 2.5$ 、 $0 < 2\text{Ti}/\text{Ta} \leq 1.0$ 、好適には例えば、 $0.7 \leq 2\text{Sr}/\text{Ta} \leq 1.0$ 、 $2.0 \leq 2\text{Bi}/\text{Ta} \leq 2.4$ 、 $0.01 \leq 2\text{Ti}/\text{Ta} \leq 1.0$ に選ばれ、 $2\text{Ti}/\text{Ta}$ に関しては、より好適には例えば、 $0.1 \leq 2\text{Ti}/\text{Ta} \leq 1.0$ に選ばれる。

【0139】次に、図16Bに示すように、このアモルファス膜60を、例えば常圧の酸素雰囲気中において例えば600℃で1時間熱処理することにより、このアモルファス膜60中のアモルファス相をフルオライト相に相変化させ、Pt膜54上にSr、Bi、Ta、TiおよびOからなる、SBTTの前駆体膜としてのフルオライト膜55を得る。このフルオライト膜55の原子組成比の範囲は、例えば、 $0.6 \leq 2\text{Sr}/\text{Ta} \leq 1.2$ 、 $1.7 \leq 2\text{Bi}/\text{Ta} \leq 2.5$ 、 $0 < 2\text{Ti}/\text{Ta} \leq 1.0$ 、好適には例えば、 $0.7 \leq 2\text{Sr}/\text{Ta} \leq 1.0$ 、 $2.0 \leq 2\text{Bi}/\text{Ta} \leq 2.4$ 、 $0.01 \leq 2\text{Ti}/\text{Ta} \leq 1.0$ であり、 $2\text{Ti}/\text{Ta}$ に関しては、より好適には例えば、 $0.1 \leq 2\text{Ti}/\text{Ta} \leq 1.0$ である。

【0140】次に、図16Cに示すように、このフルオライト膜55上に、例えばスパッタリング法により通常の条件で上部電極としてのPt膜56を成膜する。このPt膜56の膜厚は、例えば100nmに選ばれる。次に、Pt膜56、フルオライト膜55、Pt膜54およびTi膜53を、例えばRIE法により、例えば $2\mu\text{m} \times 2\mu\text{m}$ のサイズの誘電体キャパシタの形状にパターニングする。

【0141】次に、このようにして誘電体キャパシタの形状にパターニングされた後のフルオライト膜55を、例えば常圧の酸素雰囲気中において例えば750℃で10分間熱処理することにより、フルオライト膜55中のフルオライト相をペロブスカイト型結晶構造の結晶相に相変化させて、このフルオライト膜55を結晶化する。これによって、図16Dに示すように、Pt膜54およびPt膜56の間にSBTT膜57を得る。このSBTT膜57は、組成式 $\text{Sr}_x\text{Bi}_y\text{Ta}_{2.0}\text{Ti}_z\text{O}_w$ （ただし、 $0.6 \leq x \leq 1.2$ 、 $1.7 \leq y \leq 2.5$ 、 $0 < z \leq 1.0$ 、 $w = 9 \pm d$ 、 $0 \leq d \leq 1.0$ 、好適には、 $0.7 \leq x \leq 1.0$ 、 $2.0 \leq y \leq 2.4$ 、 $0.01 \leq z \leq 1.0$ 、 $w = 9 \pm d$ 、 $0 \leq d \leq 1.0$ 、より好適には、 $0.7 \leq x \leq 1.0$ 、 $2.0 \leq y \leq 2.4$ 、 $0.01 \leq z \leq 1.0$ 、 $w = 9 \pm d$ 、 $0 \leq d \leq 1.0$ ）で表されるBi系層状構造ペロブスカイト型結晶構造の強誘電体からなる。

4、 $0.01 \leq z \leq 1.0$ 、 $w = 9 \pm d$ 、 $0 \leq d \leq 1.0$ ）で表されるBi系層状構造ペロブスカイト型結晶構造の強誘電体からなる。

【0142】次に、第11の実施形態におけると同様の工程に従って、図16Eに示すように、層間絶縁膜58、コンタクトホール58a、引き出し電極59を形成することにより、誘電体膜としてSBTT膜を用いた目的とする誘電体キャパシタが製造される。

【0143】以上のようにして製造された誘電体キャパシタについて、第11の実施形態におけると同様にP-Vヒステリシスを測定したところ、残留分極値 $2P_r$ として $2P_r = 10 \sim 22 \mu\text{C}/\text{cm}^2$ の値が得られ、抗電界 $2E_C$ として $2E_C = 100 \sim 150 \text{ kV}/\text{cm}$ の値が得られた。これらの $2P_r$ および $2E_C$ はSBTT膜を用いた誘電体キャパシタとしては良好な値であり、これがSi基板51を通した測定で得られた。これに対して、従来技術と同様に、フルオライト膜55を熱処理することにより結晶化してSBTT膜57を得た後、このSBTT膜57上にPt膜56を成膜し、この後、Pt膜56、SBTT膜57、Pt膜54およびTi膜53をエッチングにより誘電体キャパシタの形状にパターニングすることにより製造された、 $2\mu\text{m} \times 2\mu\text{m}$ のサイズの誘電体キャパシタの残留分極値 $2P_r$ は $10 \mu\text{C}/\text{cm}^2$ 以下であり、抗電界 $2E_C$ は $150 \text{ kV}/\text{cm}$ 以上であった。以上のことから、この発明による誘電体キャパシタの製造方法を適用することにより、SBTT膜を用いた誘電体キャパシタにおいて、残留分極値 $2P_r$ および抗電界 $2E_C$ が著しく改善されることがわかる。

【0144】以上のように、この第12の実施形態によれば、第11の実施形態と同様な利点を得ることができる。

【0145】図17は、この発明の第13の実施形態による誘電体キャパシタの製造方法を説明するための断面図である。

【0146】この第13実施形態による誘電体キャパシタの製造方法においては、図17Aに示すように、導電性のSi基板51上に、例えばスパッタリング法により通常の条件で、下部電極としての IrO_2 膜61およびIr膜62を順次成膜する。ここで、 IrO_2 膜61の膜厚は例えば100nmに選ばれ、Ir膜62の膜厚は例えば100nmに選ばれる。

【0147】次に、図17Bに示すように、Ir膜61上に、例えばMOCVD法により、最終的に得るSBTT膜の構成元素であるBi、Sr、Ta、TiおよびOからなる、SBTTの前駆体膜としてのフルオライト膜55を成膜する。具体的には、Ir膜62まで成膜したSi基板51を図示省略したMOCVD装置の反応室（成膜室）のサセプタ上に設置して400~650℃の基板温度に加熱し、保持する。そして、Bi（o-C7

$H_7)_3$ 、 $Sr(THD)_2$ 、 $Ta(i-OC_3H_7)_5$ 、 $Ti(i-OC_3H_7)_4$ の各有機金属原料を、それぞれ、流量200SCCM、230SCCM、50SCCM、20SCCMのアルゴンキャリアガスと混合して、さらに、反応室の直前で流量500SCCMの酸素ガスと混合した後、この混合ガスを原料ガスとして反応室に導入し1~10 Torrの圧力で成膜を行う。これによって、SBTTの前駆体膜としてのフルオライト膜55が成膜される。このフルオライト膜55の膜厚は例えば100nmに選ばれる。また、このフルオライト膜55の原子組成比の範囲は、例えば、 $0.6 \leq 2Sr/Ta \leq 1.2$ 、 $1.7 \leq 2Bi/Ta \leq 2.5$ 、 $0 < 2Ti/Ta \leq 1.0$ 、好適には例えば、 $0.7 \leq 2Sr/Ta \leq 1.0$ 、 $2.0 \leq 2Bi/Ta \leq 2.4$ 、 $0.01 \leq 2Ti/Ta \leq 1.0$ に選ばれ、 $2Ti/Ta$ に関しては、より好適には例えば、 $0.1 \leq 2Ti/Ta \leq 1.0$ に選ばれる。

【0148】次に、このフルオライト膜55上に、例えばスパッタリング法により通常の条件で上部電極としてのIr膜63を成膜する。このIr膜63の膜厚は例えば100nmに選ばれる。

【0149】次に、図17Bに示すように、Ir膜63、フルオライト膜55、Ir膜62およびIrO₂膜61を、例えばRIE法により、例えば2μm×2μmのサイズの誘電体キャパシタの形状にパターンニングする。

【0150】次に、このようにして誘電体キャパシタの形状にパターンニングされた後のフルオライト膜55を、例えば常圧の酸素雰囲気中において例えば700℃で30分間熱処理することにより、フルオライト膜55中のフルオライト相をペロブスカイト型結晶構造の結晶相に相変化させて、このフルオライト膜55を結晶化する。これによって、図17Cに示すように、Ir膜62およびIr膜63の間にSBTT膜57を得る。このSBTT膜57は、組成式 $Sr_x Bi_y Ta_{2.0} Ti_z O_w$ （ただし、 $0.6 \leq x \leq 1.2$ 、 $1.7 \leq y \leq 2.5$ 、 $0 < z \leq 1.0$ 、 $w = 9 \pm d$ 、 $0 \leq d \leq 1.0$ 、好適には、 $0.7 \leq x \leq 1.0$ 、 $2.0 \leq y \leq 2.4$ 、 $0.01 \leq z \leq 1.0$ 、 $w = 9 \pm d$ 、 $0 \leq d \leq 1.0$ 、より好適には、 $0.7 \leq x \leq 1.0$ 、 $2.0 \leq y \leq 2.4$ 、 $0.01 \leq z \leq 1.0$ 、 $w = 9 \pm d$ 、 $0 \leq d \leq 1.0$ ）で表されるBi系層状構造ペロブスカイト型結晶構造の強誘電体からなる。

【0151】次に、第11の実施形態におけると同様の工程に従って、図17Dに示すように、層間絶縁膜58、コンタクトホール58a、引き出し電極59を形成することにより、誘電体膜としてSBTT膜を用いた目的とする誘電体キャパシタが製造される。

【0152】以上のようにして製造された誘電体キャパシタについて、第11の実施形態におけると同様にP-

Vヒステリシスを測定したところ、残留分極値 $2P_r$ として $2P_r = 10 \sim 20 \mu C/cm^2$ の値が得られ、抗電界 $2E_C$ として $2E_C = 100 \sim 150 kV/cm$ の値が得られた。これらの $2P_r$ および $2E_C$ はSBTT膜を用いた誘電体キャパシタとしては良好な値であり、これがSi基板51を通した測定で得られた。これに対して、従来技術と同様に、フルオライト膜55を熱処理することにより結晶化してSBTT膜57を得た後、このSBTT膜57上にIr膜63を成膜し、この後、Ir膜63、SBTT膜57、Ir膜62およびIrO₂膜61をエッチングにより誘電体キャパシタの形状にパターンニングすることにより製造された、2μm×2μmのサイズの誘電体キャパシタの残留分極値 $2P_r$ は $10 \mu C/cm^2$ 以下であり、抗電界 $2E_C$ は150kV/cm以上であった。以上のことから、この発明による誘電体キャパシタの製造方法を適用することにより、SBTT膜を用いた誘電体キャパシタにおいて、残留分極値 $2P_r$ および抗電界 $2E_C$ が著しく改善されることがわかる。

【0153】以上のように、この第13の実施形態によれば、第11の実施形態と同様な利点を得ることができ

【0154】図18は、この発明の第14の実施形態による誘電体キャパシタの製造方法を説明するための断面図である。

【0155】この第14の実施形態による誘電体キャパシタの製造方法においては、第13の実施形態におけると同様の工程に従って、図18Aに示すように、Si基板51上に、下部電極としてのIrO₂膜61とIr膜62とを順次成膜する。次に、Ir膜62上に、例えばMOCVD法により、最終的に得るSBTT膜の構成元素であるBi、Sr、Ta、TiおよびOからなる、SBTTの前駆体膜としてのアモルファス膜60を成膜する。具体的には、Ir膜62まで成膜したSi基板51を図示省略したMOCVD装置の反応室（成膜室）のサセプタ上に設置して300~500℃の基板温度に加熱し、保持する。そして、 $Bi(C_6H_5)_3$ 、 $Sr(THD)_2$ 、 $Ta(i-OC_3H_7)_4$ 、 THD 、 $Ti(i-OC_3H_7)_4$ の各有機金属原料を所定の濃度でTHF溶媒中に溶解した液体ソースを所定の組成比に混合した混合溶液を、200℃に保持された気化器内で気化させる。そして、これにより得られるガスを流量500SCCMのアルゴンキャリアガスと混合して、反応室の直前で流量500SCCMの酸素ガスと混合した後、この混合ガスを原料ガスとして反応室に導入し1~10 Torrの反応ガス圧力で成膜を行う。これによって、SBTTの前駆体膜としてのアモルファス膜60が成膜される。このアモルファス膜60の膜厚は例えば100nmに選ばれる。また、このアモルファス膜60の原子組成比の範囲は、例えば、 $0.6 \leq 2Sr/Ta \leq 1.2$ 、

1. $7 \leq 2Bi/Ta \leq 2.5$, $0 < 2Ti/Ta \leq 1.0$ 、好適には例えば、 $0.7 \leq 2Sr/Ta \leq 1.0$, $2.0 \leq 2Bi/Ta \leq 2.4$, $0.01 \leq 2Ti/Ta \leq 1.0$ に選ばれ、 $2Ti/Ta$ に関しては、より好適には例えば、 $0.1 \leq 2Ti/Ta \leq 1.0$ に選ばれる。

【0156】次に、図18Bに示すように、このアモルファス膜60を、例えば常圧の酸素雰囲気中において例えば600℃で1時間熱処理することにより、このアモルファス膜60中のアモルファス相をフルオライト相に変化させ、Pt膜54上にSr、Bi、Ta、TiおよびOからなる、SBTTの前駆体膜としてのフルオライト膜55を得る。このフルオライト膜55の原子組成比の範囲は、例えば、 $0.6 \leq 2Sr/Ta \leq 1.2$, $1.7 \leq 2Bi/Ta \leq 2.5$, $0 < 2Ti/Ta \leq 1.0$ 、好適には例えば、 $0.7 \leq 2Sr/Ta \leq 1.0$, $2.0 \leq 2Bi/Ta \leq 2.4$, $0.01 \leq 2Ti/Ta \leq 1.0$ であり、 $2Ti/Ta$ に関しては、より好適には例えば、 $0.1 \leq 2Ti/Ta \leq 1.0$ である。

【0157】次に、図18Cに示すように、このフルオライト膜55上に、例えばスパッタリング法により通常の条件で上部電極として膜厚100nmのIr膜63を成膜した後、Ir膜63、フルオライト膜55、Ir膜62およびIrO₂膜61を、例えばRIE法により、例えば2μm×2μmのサイズの誘電体キャパシタの形状にパターニングする。

【0158】次に、このようにして誘電体キャパシタの形状にパターニングされた後のフルオライト膜55を、例えば常圧の酸素雰囲気中において例えば750℃で10分間熱処理することにより、フルオライト膜55中のフルオライト相をペロブスカイト型結晶構造の結晶相に相変化させて、このフルオライト膜55を結晶化する。これによって、図18Dに示すように、Ir膜62およびIr膜63の間にSBTT膜57を得る。このSBTT膜57は、組成式 $Bi_x Sr_y Ta_{2.0} Ti_z O_w$ (ただし、 $1.7 \leq x \leq 2.5$, $0.6 \leq y \leq 1.2$, $0.01 \leq z \leq 1.0$, $w = 9 \pm d$, $0 \leq d \leq 1.0$ 、好適には、 $2.0 \leq x \leq 2.4$, $0.7 \leq y \leq 1.0$, $0.01 \leq z \leq 1.0$, $w = 9 \pm d$, $0 \leq d \leq 1.0$ 、より好適には、 $2.0 \leq x \leq 2.4$, $0.7 \leq y \leq 1.0$, $0.1 \leq z \leq 1.0$, $w = 9 \pm d$, $0 \leq d \leq 1.0$)で表されるBi系層状構造ペロブスカイト型結晶構造の強誘電体からなる。

【0159】次に、第11の実施形態におけると同様の工程に従って、図18Eに示すように、層間絶縁膜58、コンタクトホール58a、引き出し電極59を形成することにより、誘電体膜としてSBTT膜を用いた目的とする誘電体キャパシタが製造される。

【0160】以上のようにして製造された誘電体キャ

シタについて、第11の実施形態におけると同様にP-Vヒステリシスを測定したところ、残留分極値 $2P_r$ として $2P_r = 10 \sim 22 \mu C/cm^2$ の値が得られ、抗電界 $2E_C$ として $2E_C = 100 \sim 150 kV/cm$ の値が得られた。これらの $2P_r$ および $2E_C$ はSBTT膜を用いた誘電体キャパシタとしては良好な値であり、これがSi基板51を通した測定で得られた。これに対して、従来技術と同様に、フルオライト膜55を熱処理することにより結晶化してSBTT膜57を得た後、このSBTT膜57上にIr膜63を成膜し、この後、Ir膜63、SBTT膜57、Ir膜62およびIrO₂膜61をエッチングにより誘電体キャパシタの形状にパターニングすることにより製造された、2μm×2μmのサイズの誘電体キャパシタの残留分極値 $2P_r$ は $10 \mu C/cm^2$ 以下であり、抗電界 $2E_C$ は $150 kV/cm$ 以上であった。以上のことから、この発明による誘電体キャパシタの製造方法を適用することにより、SBTT膜を用いた誘電体キャパシタにおいて、残留分極値 $2P_r$ および抗電界 $2E_C$ が著しく改善されることがわかる。

【0161】以上のように、この第14の実施形態によれば、第11の実施形態と同様な利点を得ることができ

る。

【0162】図19は、この発明の第15の実施形態による誘電体キャパシタの製造方法を説明するための断面図である。

【0163】この第15実施形態による誘電体キャパシタの製造方法においては、図19Aに示すように、導電性のSi基板51上に、例えばスパッタリング法により通常の条件で、下部電極としてのIrO₂膜61とIr_{0.7}Ru_{0.3}膜64とを順次成膜する。ここで、IrO₂膜61の膜厚は例えば100nmに選ばれ、Ir_{0.7}Ru_{0.3}膜64の膜厚は例えば100nmに選ばれる。

【0164】次に、Ir_{0.7}Ru_{0.3}膜64上に、例えばMOCVD法により、最終的に得るSBTT膜の構成元素であるBi、Sr、Ta、TiおよびOからなる、SBTTの前駆体膜としてのアモルファス膜60を成膜する。具体的には、Ir_{0.7}Ru_{0.3}膜64まで成膜したSi基板51を図示省略したMOCVD装置の反応室(成膜室)のサセプタ上に設置して300~500℃の基板温度に加熱し、保持する。そして、Bi(C₆H₅)₃、Sr(THD)₂、Ta(i-OC₃H₇)₄THD、Ti(i-OC₃H₇)₄の各有機金属原料を所定の濃度でTHF溶媒中に溶解した液体ソースを所定の組成比に混合した混合溶液を、200℃に保持された気化器内で気化させる。そして、これにより得られるガスを流量500SCCMのアルゴンキャリアガスと混合して、反応室の直前で流量500SCCMの酸素ガスと混合した後、この混合ガスを原料ガスとして、例えば出力100Wの高周波(RF)プラズマを放

電させた反応室に導入し、 $0.5 \sim 10$ Torr の反応ガス圧力で成膜を行う。これによって、SBTTの前駆体膜としてのアモルファス膜60が成膜される。このアモルファス膜60の膜厚は例えば 100 nm に選ばれる。また、このアモルファス膜60の原子組成比の範囲は、例えば、 $0.6 \leq 2\text{Sr}/\text{Ta} \leq 1.2$ 、 $1.7 \leq 2\text{Bi}/\text{Ta} \leq 2.5$ 、 $0 < 2\text{Ti}/\text{Ta} \leq 1.0$ 、好適には例えば、 $0.7 \leq 2\text{Sr}/\text{Ta} \leq 1.0$ 、 $2.0 \leq 2\text{Bi}/\text{Ta} \leq 2.4$ 、 $0.01 \leq 2\text{Ti}/\text{Ta} \leq 1.0$ に選られ、 $2\text{Ti}/\text{Ta}$ に関しては、より好適には例えば、 $0.1 \leq 2\text{Ti}/\text{Ta} \leq 1.0$ に選ばれる。

【0165】次に、図19Bに示すように、このアモルファス膜60を、例えば常圧の酸素雰囲気中において例えば 600°C で1時間熱処理することにより、このアモルファス膜60中のアモルファス相をフルオライト相に変化させ、 $\text{Ir}_{0.7}\text{Ru}_{0.3}$ 膜64上に Sr 、 Bi 、 Ta 、 Ti および O からなる、SBTTの前駆体膜としてのフルオライト膜55を得る。このフルオライト膜55の原子組成比の範囲は、例えば、 $0.6 \leq 2\text{Sr}/\text{Ta} \leq 1.2$ 、 $1.7 \leq 2\text{Bi}/\text{Ta} \leq 2.5$ 、 $0 < 2\text{Ti}/\text{Ta} \leq 1.0$ 、好適には例えば、 $0.7 \leq 2\text{Sr}/\text{Ta} \leq 1.0$ 、 $2.0 \leq 2\text{Bi}/\text{Ta} \leq 2.4$ 、 $0.01 \leq 2\text{Ti}/\text{Ta} \leq 1.0$ であり、 $2\text{Ti}/\text{Ta}$ に関しては、より好適には例えば、 $0.1 \leq 2\text{Ti}/\text{Ta} \leq 1.0$ である。

【0166】次に、図19Cに示すように、このフルオライト膜55上に、例えばスパッタリング法により通常の条件で上部電極として膜厚 100 nm の $\text{Ir}_{0.7}\text{Ru}_{0.3}$ 膜65を成膜した後、 $\text{Ir}_{0.7}\text{Ru}_{0.3}$ 膜65、フルオライト膜55、 $\text{Ir}_{0.7}\text{Ru}_{0.3}$ 膜64および IrO_2 膜61を、例えばRIE法により、例えば $2\text{ }\mu\text{m} \times 2\text{ }\mu\text{m}$ のサイズの誘電体キャパシタの形状にパターンニングする。

【0167】次に、このようにして誘電体キャパシタの形状にパターンニングされた後のフルオライト膜55を、例えば酸素雰囲気中において例えば 700°C で30分間熱処理することにより、フルオライト膜55中のフルオライト相をペロブスカイト型結晶構造の結晶相に相変化させて、このフルオライト膜55を結晶化する。これによって、図19Dに示すように、 $\text{Ir}_{0.7}\text{Ru}_{0.3}$ 膜64および $\text{Ir}_{0.7}\text{Ru}_{0.3}$ 膜65の間にSBTT膜57を得る。このSBTT膜57は、組成式 $\text{Sr}_x\text{Bi}_y\text{Ta}_{2.0}\text{Ti}_z\text{O}_w$ （ただし、 $1.7 \leq x \leq 2.5$ 、 $0.6 \leq y \leq 1.2$ 、 $0.01 \leq z \leq 1.0$ 、 $w = 9 \pm d$ 、 $0 \leq d \leq 1.0$ 、好適には、 $2.0 \leq x \leq 2.4$ 、 $0.7 \leq y \leq 1.0$ 、 $0.01 \leq z \leq 1.0$ 、 $w = 9 \pm d$ 、 $0 \leq d \leq 1.0$ 、より好適には、 $2.0 \leq x \leq 2.4$ 、 $0.7 \leq y \leq 1.0$ 、 $0.1 \leq z \leq 1.0$ 、 $w = 9 \pm d$ 、 $0 \leq d \leq 1.0$ ）で表されるBi系層状構造ペロブスカイト型結晶構造の強誘電体からなる。

【0168】次に、第11の実施形態におけると同様の工程に従って、図19Eに示すように、層間絶縁膜58、コンタクトホール58a、引き出し電極59を形成することにより、誘電体膜としてSBTT膜を用いた目的とする誘電体キャパシタが製造される。

【0169】以上のようにして製造された誘電体キャパシタについて、第11の実施形態におけると同様にP-Vヒステリシスを測定したところ、残留分極値 $2P_r$ として $2P_r = 5 \sim 18\text{ }\mu\text{C}/\text{cm}^2$ の値が得られ、抗電界 $2E_C$ として $2E_C = 100 \sim 200\text{ kV}/\text{cm}$ の値が得られた。これらの $2P_r$ および $2E_C$ は上述のMOCVD法により作製されたSBTT膜を用いた誘電体キャパシタとしては良好な値であり、これがSi基板51を通した測定で得られた。これに対して、従来技術と同様に、フルオライト膜55を熱処理することにより結晶化してSBTT膜57を得た後、このSBTT膜57上に $\text{Ir}_{0.7}\text{Ru}_{0.3}$ 膜65を成膜し、この後、 $\text{Ir}_{0.7}\text{Ru}_{0.3}$ 膜65、SBTT膜57、 $\text{Ir}_{0.7}\text{Ru}_{0.3}$ 膜64および IrO_2 膜61をエッチングにより誘電体キャパシタの形状にパターンニングすることにより製造された、 $2\text{ }\mu\text{m} \times 2\text{ }\mu\text{m}$ のサイズの誘電体キャパシタの残留分極値 $2P_r$ は $5\text{ }\mu\text{C}/\text{cm}^2$ 以下であり、抗電界 $2E_C$ は $200\text{ kV}/\text{cm}$ 以上であった。以上のことから、この発明による誘電体キャパシタの製造方法を適用することにより、SBTT膜を用いた誘電体キャパシタにおいて、残留分極値 $2P_r$ および抗電界 $2E_C$ が著しく改善されることがわかる。

【0170】図20は、この発明の第16の実施形態による誘電体キャパシタの製造方法を説明するための断面図である。

【0171】この第16の実施形態による誘電体キャパシタの製造方法においては、図20Aに示すように、第13の実施形態におけると同様の工程に従って、Si基板51上に、下部電極としての膜厚 100 nm の IrO_2 膜61と膜厚 20 nm の Ir 膜62とを順次成膜する。

【0172】次に、 Ir 膜62上に、例えばMOCVD法により、最終的に得るSBTT膜の構成元素である Bi 、 Sr 、 Ta 、 Ti 、 Nb および O からなる、SBTTの前駆体膜としてのアモルファス膜66を成膜する。具体的には、 Ir 膜62まで成膜したSi基板51を図示省略したMOCVD装置の反応室（成膜室）のサセプタ上に設置して $300 \sim 500^\circ\text{C}$ の基板温度に加熱し、保持する。そして、 $\text{Bi}(\text{C}_6\text{H}_5)_3$ 、 $\text{Sr}(\text{THD})_2$ 、 $\text{Ta}(\text{i-OC}_3\text{H}_7)_4\text{THD}$ 、 $\text{Nb}(\text{i-OC}_3\text{H}_7)_4\text{THD}$ 、 $\text{Ti}(\text{i-OC}_3\text{H}_7)_4$ の各有機金属原料を所定の濃度でTHF溶媒中に溶解した液体ソースを所定の組成比に混合した混合溶液を、 200°C に保持された気化器内で気化させる。そして、これにより得られるガスを流量 500 SCCM のアルゴンキャ

リアガスと混合して、反応室の直前で流量500SCCMの酸素ガスと混合した後、この混合ガスを原料ガスとして反応室に導入し1~10Torrの反応ガス圧力で成膜を行う。これによって、SBTTの前駆体膜としてのアモルファス膜66が成膜される。このアモルファス膜66の膜厚は例えば100nmに選ばれる。また、このアモルファス膜66の原子組成比の範囲は、例えば、 $0.6 \leq 2Sr / (Ta + Nb) \leq 1.2$ 、 $1.7 \leq 2Bi / (Ta + Nb) \leq 2.5$ 、 $0 < 2Ti / (Ta + Nb) \leq 1.0$ 、好適には例えば、 $0.7 \leq 2Sr / (Ta + Nb) \leq 1.0$ 、 $2.0 \leq 2Bi / (Ta + Nb) \leq 2.4$ 、 $0.01 \leq 2Ti / (Ta + Nb) \leq 1.0$ に選られ、 $2Ti / (Ta + Nb)$ に関しては、より好適には例えば、 $0.1 \leq 2Ti / Ta \leq 1.0$ に選ばれる。

【0173】次に、図20Bに示すように、このアモルファス膜66を、例えば常圧の酸素雰囲気中において例えば600℃で1時間熱処理することにより、このアモルファス膜中のアモルファス相をフルオライト相に変化させ、Ir膜62上にSr、Bi、Ta、Nb、TiおよびOからなる、SBTTの前駆体膜としてのフルオライト膜67を得る。このフルオライト膜67の原子組成比の範囲は、例えば、 $0.6 \leq 2Sr / (Ta + Nb) \leq 1.2$ 、 $1.7 \leq 2Bi / (Ta + Nb) \leq 2.5$ 、 $0 < 2Ti / (Ta + Nb) \leq 1.0$ 、好適には例えば、 $0.7 \leq 2Sr / (Ta + Nb) \leq 1.0$ 、 $2.0 \leq 2Bi / (Ta + Nb) \leq 2.4$ 、 $0.01 \leq 2Ti / (Ta + Nb) \leq 1.0$ であり、 $2Ti / (Ta + Nb)$ に関しては、より好適には例えば、 $0.1 \leq 2Ti / Ta \leq 1.0$ である。

【0174】次に、図20Cに示すように、このフルオライト膜67上に、例えばスパッタリング法により通常の条件で上部電極として膜厚100nmのIr膜63を成膜した後、Ir膜63、フルオライト膜67、Ir膜62およびIrO₂膜61を、例えばRIE法により、例えば2μm×2μmのサイズの誘電体キャパシタの形状にパターニングする。

【0175】次に、このようにして誘電体キャパシタの形状にパターニングされた後のフルオライト膜67を、例えば常圧の酸素雰囲気中において例えば750℃で10分間熱処理することにより、フルオライト膜67中のフルオライト相をペロブスカイト型結晶構造の結晶相に変化させて、このフルオライト膜67を結晶化する。これによって、図20Dに示すように、Ir膜62およびIr膜63の間にSBTT膜68を得る。このSBTT膜68は、組成式 $Sr_x Bi_y (Ta, Nb)_{2.0} Ti_z O_w$ （ただし、 $1.7 \leq x \leq 2.5$ 、 $0.6 \leq y \leq 1.2$ 、 $0.01 \leq z \leq 1.0$ 、 $w = 9 \pm d$ 、 $0 \leq d \leq 1.0$ 、好適には、 $2.0 \leq x \leq 2.4$ 、 $0.7 \leq y \leq 1.0$ 、 $0.01 \leq z \leq 1.0$ 、 $w = 9 \pm d$ 、 $0 \leq d \leq$

1.0、より好適には、 $2.0 \leq x \leq 2.4$ 、 $0.7 \leq y \leq 1.0$ 、 $0.1 \leq z \leq 1.0$ 、 $w = 9 \pm d$ 、 $0 \leq d \leq 1.0$)で表されるBi系層状構造ペロブスカイト型結晶構造の強誘電体からなる。

【0176】次に、第11の実施形態におけると同様の工程に従って、図20Eに示すように、層間絶縁膜58、コンタクトホール58a、引き出し電極59を形成することにより、誘電体膜としてSBTT膜を用いた目的とする誘電体キャパシタが製造される。

【0177】以上のようにして製造された誘電体キャパシタについて、第11の実施形態におけると同様にP-Vヒステリシスを測定したところ、残留分極値 $2P_r$ として $2P_r = 10 \sim 25 \mu C / cm^2$ の値が得られ、抗電界 $2E_C$ として $2E_C = 100 \sim 250 kV / cm$ の値が得られた。これらの $2P_r$ および $2E_C$ はBi、Sr、Ta、Nb、TiおよびOからなるSBTT膜を用いた誘電体キャパシタとしては良好な値であり、これがSi基板51を通した測定で得られた。これに対して、従来技術と同様に、フルオライト膜67を熱処理することにより結晶化してSBTT膜68を得た後、このSBTT膜68上にIr膜63を成膜し、この後、Ir膜63、SBTT膜68、Ir膜62およびIrO₂膜61をエッチングにより誘電体キャパシタの形状にパターニングすることにより製造された、2μm×2μmのサイズの誘電体キャパシタの残留分極値 $2P_r$ は $10 \mu C / cm^2$ 以下であり、抗電界 $2E_C$ は $250 kV / cm$ 以上であった。以上のことから、この発明による誘電体キャパシタの製造方法を適用することにより、SBTT膜を用いた誘電体キャパシタにおいて、残留分極値 $2P_r$ および抗電界 $2E_C$ が著しく改善されることがわかる。

【0178】以上のように、この第16の実施形態によれば、第11の実施形態と同様な利点を得ることができる。

【0179】図21は、この発明の第17の実施形態による誘電体キャパシタの製造方法を説明するための断面図である。

【0180】この第17の実施形態による誘電体キャパシタの製造方法においては、図21Aに示すように、例えば、第11の実施形態におけると同様の工程に従って、Si基板51上にSiO₂膜52を形成した後、この上に、下部電極としてのTi膜53とPt膜54、SBTTの前駆体膜としてのフルオライト膜55、および上部電極としてのPt膜56を順次成膜し、Pt膜56およびフルオライト膜55を、例えばRIE法により、例えば2μm×2μmのサイズの誘電体キャパシタの形状にパターニングする。次に、このように誘電体キャパシタの形状にパターニングされたPt膜56およびフルオライト膜55の側壁を覆うように、全面に、例えばMOCVD法により、保護膜としてのY₂O₃膜69を成膜する。このY₂O₃膜69の膜厚は例えば30nmに

選ばれる。

【0181】次に、このように誘電体キャパシタの形状にパターンニングされたフルオライト膜55を、その側壁が Y_2O_3 膜69で覆われた状態で、例えば常圧の酸素雰囲気中において例えば750℃で1時間熱処理することにより、フルオライト膜55のフルオライト相をペロブスカイト型結晶構造の結晶相に相変化させ、このフルオライト膜55を結晶化する。これによって、図21Bに示すように、Pt膜54およびPt膜56の間にSBTT膜57を得る。このSBTT膜57は、組成式 $Sr_xBi_yTa_{2.0}Ti_zO_w$ （ただし、 $1.7 \leq x \leq 2.5$ 、 $0.6 \leq y \leq 1.2$ 、 $0.01 \leq z \leq 1.0$ 、 $w = 9 \pm d$ 、 $0 \leq d \leq 1.0$ 、好適には、 $2.0 \leq x \leq 2.4$ 、 $0.7 \leq y \leq 1.0$ 、 $0.01 \leq z \leq 1.0$ 、 $w = 9 \pm d$ 、 $0 \leq d \leq 1.0$ 、より好適には、 $2.0 \leq x \leq 2.4$ 、 $0.7 \leq y \leq 1.0$ 、 $0.1 \leq z \leq 1.0$ 、 $w = 9 \pm d$ 、 $0 \leq d \leq 1.0$ ）で表されるBi系層状構造ペロブスカイト型結晶構造の強誘電体からなる。

【0182】次に、図21Cに示すように、Pt膜56およびSBTT膜57の側壁に Y_2O_3 膜69を残すように、 Y_2O_3 膜69、Pt膜54およびTi膜53をエッチングにより所定形状にパターンニングする。

【0183】次に、図21Dに示すように、全面に層間絶縁膜58を成膜する。次に、層間絶縁膜58および Y_2O_3 膜69のうち、Pt膜56の上の所定部分をエッチング除去してコンタクトホール58aを形成する。次に、全面に例えばスパッタリング法によりAl合金膜を成膜した後、このAl合金膜をエッチングにより所定形状にパターンニングして引き出し電極59を形成する。

【0184】以上の工程により、誘電体膜としてSBTT膜を用いた目的とする誘電体キャパシタが製造される。

【0185】以上のようにして製造された誘電体キャパシタのSi基板51と引き出し電極59との間に電圧を印加してリーク電流を測定したところ、その値は印加電界が300kV/cmのとき $1 \times 10^{-8} A/cm^2$ であった。これはSBTT膜を用いた誘電体キャパシタとしては良好な値である。これに対して、 Y_2O_3 膜69を形成せずにフルオライト膜55を熱処理することによりSBTT膜57を得た誘電体キャパシタのリーク電流は、印加電界が300kV/cmのとき $1 \times 10^{-6} A/cm^2$ であった。以上の結果から、この発明による誘電体キャパシタの製造方法を適用することにより、SBTT膜を用いた誘電体キャパシタのリーク電流特性が著しく改善されることがわかる。

【0186】以上のように、この第17の実施形態によれば、SBTT膜を用いた誘電体キャパシタを製造する場合において、第3の実施形態と同様な利点を得ることができる。すなわち、誘電体膜としてSBTT膜を用いた誘電体キャパシタを製造する際に、Ti膜53とPt

膜54とからなる下部電極、SBTTの前駆体膜としてのフルオライト膜55および上部電極としてのPt膜56を順次形成し、Pt膜56およびフルオライト膜55をエッチングにより誘電体キャパシタの形状にパターンニングした後、Pt膜56およびフルオライト膜55の側壁を覆うように保護膜としての Y_2O_3 膜69を形成していることにより、Ti膜53とPt膜54とからなる下部電極のエッチングの際や、その後に行われる熱処理の際に、誘電体キャパシタの側壁に特定の金属が析出したり、導電性の酸化物が生成されることを防止することができるので、誘電体キャパシタのリーク電流特性の劣化を効果的に防止することができ、従来と比較して、リーク電流特性が著しく改善されるという利点を有する。

【0187】また、この第17の実施形態によれば、SBTTの前駆体膜としてのフルオライト膜55を誘電体キャパシタの形状にパターンニングした後、このフルオライト膜55を熱処理して結晶化することによりSBTT膜57を得るようにしていることにより、第11の実施形態と同様に、残留分極値 $2P_r$ および抗電界 $2E_C$ が改善されるという利点をも得ることができる。

【0188】次に、この発明による半導体記憶装置の製造方法を、誘電体膜としてSBTT膜を用いた誘電体キャパシタを有する強誘電体不揮発性メモリの製造に適用した、この発明の第18および第19の実施形態について説明する。なお、第18および第19の実施形態の全図において、同一または対応する部分には同一の符号を付す。

【0189】図22～図25は、この発明の第18の実施形態による強誘電体不揮発性メモリの製造方法を説明するための断面図である。この強誘電体不揮発性メモリは、メモリセルを構成する誘電体キャパシタとしてスタック型誘電体キャパシタを用いたものである。

【0190】この第18の実施形態による強誘電体不揮発性メモリの製造方法においては、まず、図22に示すように、例えば、p型Si基板101の表面に、例えばLOCOS法により二酸化シリコン(SiO_2)膜のようなフィールド絶縁膜102を選択的に形成して素子間分離を行う。このとき、素子間分離領域におけるp型Si基板101中に予めイオン注入法などにより導入しておいたホウ素(B)などのp型不純物が拡散して、フィールド絶縁膜102の下側にp⁺型のチャネルストップ(図示せず)が形成される。この後、フィールド絶縁膜102で囲まれた活性領域の表面に、例えば熱酸化法により所定の厚さの SiO_2 膜からなるゲート絶縁膜103を形成する。

【0191】次に、例えば化学気相成長(CVD)法により、全面に多結晶Si膜を形成する。次に、抵抗値を低減するために、この多結晶Si膜に例えばリン(P)のようなn型不純物を高濃度にドーピングする。次に、この多結晶Si膜をパターンニングすることにより、ゲート絶

緑膜103上に多結晶Siからなるゲート電極104を形成する。

【0192】次に、このゲート電極104をマスクとして、フィールド絶縁膜102で囲まれた活性領域中にイオン注入法により、例えばPのようなn型不純物をドーピングする。これによって、この活性領域中に、ゲート電極104に対して自己整合的にn⁻型領域が形成される。

【0193】次に、例えばCVD法により所定の厚さのSiO₂膜を全面に形成した後、反応性イオンエッチング(RIE)法により、このSiO₂膜をp型Si基板101の表面に対して垂直方向にエッチバックする。これによって、ゲート電極104の側壁にSiO₂からなるサイドウォールスペーサ105が形成される。

【0194】次に、このサイドウォールスペーサ105およびゲート電極104をマスクとして、フィールド絶縁膜102で囲まれた活性領域中にイオン注入法により、例えばヒ素(As)のようなn型不純物をドーピングする。この後、必要に応じて、注入不純物の電気的活性化のためのアニールを行う。これによって、サイドウォールスペーサ105に対して自己整合的にn⁺型のソース領域106およびドレイン領域107が形成される。これらのソース領域106およびドレイン領域107は、サイドウォールスペーサ105の下側の部分にn⁻型の低不純物濃度部106a、107aを有する。ここで、これらの低不純物濃度部106a、107aは、それぞれ、ゲート電極104に対して自己整合的に形成されたn⁻型領域からなる。ここまでの工程で、nチャネルMOSトランジスタQが形成される。

【0195】次に、例えば、CVD法により所定の厚さのホウ素リンシリケートガラス(BPSG)膜のような層間絶縁膜108を全面に形成した後、所定で熱処理を行うことにより層間絶縁膜108をリフローさせ、表面の平坦化を行う。次に、例えばリソグラフィ法およびRIE法により、ソース領域106上の所定部分における層間絶縁膜108に、コンタクトホール109を形成する。次に、例えば、CVD法により多結晶Si膜を全面に形成した後、例えばRIE法により、この多結晶Si膜をp型Si基板101の表面に対して垂直方向に、層間絶縁膜108の表面が露出するまでエッチバックする。これにより、コンタクトホール109内を埋めるように多結晶Siプラグ110が形成される。

【0196】次に、第1の実施形態におけると同様の工程に従って、図23に示すように、層間絶縁膜108上に下部電極としてのIrO₂膜111およびIr膜112、SBTの前駆体膜としてのアモルファス膜113ならびに上部電極としてのPt膜114を順次成膜する。次に、Pt膜114およびアモルファス膜113を、例えばRIE法により、例えば2μm×2μmのサイズの誘電体キャパシタCの形状にパターンニングする。次に、Ir膜112およびIrO₂膜111を、多結晶Siプ

ラグ110およびその近傍の層間絶縁膜108の上に延在するように、所定形状にパターンニングする。

【0197】次に、このようにして誘電体キャパシタCの形状にパターンニングされたアモルファス膜113を、例えば常圧の酸素雰囲気中において例えば750℃で1時間熱処理することにより、アモルファス膜113中のアモルファス相をBi系層状構造ペロブスカイト型結晶構造の結晶相に相変化させ、アモルファス膜113を結晶化する。これによって、図24に示すように、Ir膜112およびPt膜114の間にSBT膜115を得る。このSBT膜115は、組成式Bi_xSr_y(Ta, Nb)_{2.0}O_z (ただし、2.0 ≤ x ≤ 2.6、0.6 ≤ y ≤ 1.2、z = 9 ± d、0 ≤ d ≤ 1.0) で表されるBi系層状構造ペロブスカイト型結晶構造の強誘電体からなる。

【0198】次に、図25に示すように、全面に層間絶縁膜116を成膜する。次に、層間絶縁膜116および層間絶縁膜108のうち、ドレイン領域107上の所定部分をエッチング除去してコンタクトホール117を形成する。次に、全面に例えばスパッタリング法によりAl合金膜を成膜した後、このAl合金膜をエッチングにより所定形状にパターンニングして配線電極118を形成する。

【0199】以上の工程により、目的とする強誘電体不揮発性メモリが製造される。

【0200】この第18の実施形態によれば、誘電体膜としてSBT膜を用いた誘電体キャパシタの形成する際に、第1の実施形態による誘電体キャパシタの製造方法を用いていることにより、誘電体キャパシタCの残留分極値2P_rを著しく改善することができるので、誘電体キャパシタCの面積が10μm²以下となった場合においても、特性の良好な誘電体キャパシタを実現することができる。これによって、高集積の強誘電体不揮発性メモリの実現が可能となる。

【0201】図26～図29は、この発明の第19の実施形態による強誘電体不揮発性メモリの製造方法を説明するための断面図である。この強誘電体不揮発性メモリは、メモリセルを構成する誘電体キャパシタとしてスタック型誘電体キャパシタを用いたものである。

【0202】この第19の実施形態による半導体記憶装置の製造方法においては、第18の実施形態におけると同様の工程に従って、多結晶Siプラグ110まで形成した後、図26に示すように、第3の実施形態におけると同様の工程に従って、層間絶縁膜108上に下部電極としてのIrO₂膜111およびIr膜112、SBTの前駆体膜としてのアモルファス膜113ならびに上部電極としてのRu膜119を順次成膜し、Ru膜119およびアモルファス膜113を、例えばRIE法により、例えば2μm×2μmのサイズの誘電体キャパシタCの形状にパターンニングする。次に、Ru膜119およ

びアモルファス膜 113 の側壁を覆うように、全面に、例えば MOCVD 法により、保護膜としての Ta_2O_5 膜 120 を成膜する。この Ta_2O_5 膜 120 の膜厚は例えば 30 nm に選ばれる。

【0203】次に、このように誘電体キャパシタ C の形状にパターンニングされたアモルファス膜 113 を、その側壁が Ta_2O_5 膜 120 で覆われた状態で、例えば常圧の酸素雰囲気中において例えば 750℃ で 1 時間熱処理することにより、アモルファス膜 113 中のアモルファス相をペロブスカイト型結晶構造の結晶相に相変化させ、このアモルファス膜 113 を結晶化する。これによって、図 27 に示すように、Ir 膜 112 および Ru 膜 119 の間に SBT 膜 115 を得る。この SBT 膜 115 は、組成式 $\text{Bi}_x\text{Sr}_y(\text{Ta}, \text{Nb})_{2.0}\text{O}_z$ (ただし、 $2.0 \leq x \leq 2.6$ 、 $0.6 \leq y \leq 1.2$ 、 $z = 9 \pm d$ 、 $0 \leq d \leq 1.0$) で表される Bi 系層状構造ペロブスカイト型結晶構造の強誘電体からなる。

【0204】次に、図 28 に示すように、 Ta_2O_5 膜 120、Ir 膜 112 および IrO_2 膜 111 をエッチングにより所定形状にパターンニングする。このとき、 Ta_2O_5 膜 120 が Ru 膜 119 および SBT 膜 115 の側壁に残され、かつ、Ir 膜 112 および IrO_2 膜 111 が、多結晶 Si プラグ 110 およびその近傍の層間絶縁膜 108 の上に延在するようにパターンニングする。

【0205】次に、図 29 に示すように、全面に層間絶縁膜 116 を成膜する。次に、層間絶縁膜 116 および層間絶縁膜 108 のうち、ドレイン領域 107 上の所定部分をエッチング除去してコンタクトホール 117 を形成する。次に、全面に例えばスパッタリング法により Al 合金膜を成膜した後、この Al 合金膜をエッチングにより所定形状にパターンニングして配線電極 118 を形成する。

【0206】以上の工程により、目的とする強誘電体不揮発性メモリが製造される。

【0207】この第 19 の実施形態によれば、誘電体膜として SBT 膜を用いた誘電体キャパシタの形成する際に、第 3 の実施形態による誘電体キャパシタの製造方法を用いていることにより、誘電体キャパシタ C の残留分極値 $2P_r$ およびリーク電流特性を著しく改善することができるので、誘電体キャパシタ C の面積が $10 \mu\text{m}^2$ 以下となった場合においても、特性の良好な誘電体キャパシタを実現することができるとともに、信頼性の向上を図ることができる。これによって、高集積の強誘電体不揮発性メモリの実現が可能となる。

【0208】以上この発明の実施形態について具体的に説明したが、この発明は、上述の実施形態に限定されるものではなく、この発明の技術的思想に基づく各種の変形が可能である。

【0209】例えば、上述の第 1 ～ 第 19 の実施形態に

において挙げた、材料、数値、構造、原料、プロセスなどはあくまでも例に過ぎず、必要に応じて、これらと異なる材料、数値、構造、原料、プロセスなどを用いてもよい。具体的には、例えば、上述の実施形態において、誘電体キャパシタの下部電極を構成する導電膜および上部電極を構成する導電膜としては、例示したものと異なるものをものを用いてもよい。

【0210】また、第 2 および第 4 の実施形態において、SBT の前駆体膜としてのフルオライト膜 9 は、SBT の前駆体膜としてのアモルファス膜を、例えば、常圧の酸素雰囲気中において、例えば 600℃ で 30 分間熱処理することによって形成してもよい。

【0211】また、第 3、第 4 および第 19 の実施形態においては、保護膜としての Ta_2O_5 膜 12、120 に代えて、それぞれ、例えば HfO_2 膜などを用いてもよく、第 6、第 8 および第 10 の実施形態においては、保護膜としての Y_2O_3 膜 29、39、50 に代えて、それぞれ、例えば CeO_2 膜などを用いてもよく、第 17 の実施形態においては、保護膜としての Y_2O_3 膜 69 に代えて、例えば CeO_2 膜などを用いてもよい。

【0212】また、第 12、第 14 ～ 第 16 の実施形態においては、SBT の前駆体膜としてのアモルファス膜 60、66 の成膜を MOCVD 法により行っているが、このアモルファス膜 60、66 の成膜は、例えば、ゾルーゲルスピンコート法により行ってもよい。アモルファス膜 60 の成膜をゾルーゲルスピンコート法により行う場合は、まず、原料溶液を基板上にスピンコートした後、溶媒を乾燥、蒸発させる。次に、例えば 350 ～ 600℃ でベーキングした後、例えば酸素雰囲気中で、例えば 600 ～ 700℃ で 3 ～ 30 分間熱処理することにより、アモルファス膜 60 を相変化させてフルオライト膜 55 を得る。次に、フルオライト膜 55 上に上部電極を形成し、上部電極、フルオライト膜および下部電極を所定のキャパシタ形状にパターンニングした後、再び、例えば酸素雰囲気中で、例えば 650 ～ 800℃ で熱処理することにより、フルオライト膜 55 を結晶化することによって SBT 膜 57 を得る。

【0213】また、第 17 の実施形態においては、第 11 の実施形態と同様な工程に従ってキャパシタ構造を形成するようにしているが、これは、第 12 ～ 第 16 の実施形態のいずれかと同様な工程に従ってキャパシタ構造を形成するようにしてもよい。

【0214】また、第 18 の実施形態においては、誘電体膜として SBT 膜を用いた誘電体キャパシタ C の形成に、第 1 の実施形態による誘電体キャパシタの製造方法を用いているが、これは、第 2 の実施形態による誘電体キャパシタの製造方法を用いることも可能である。また、誘電体キャパシタ C の誘電体膜として PZT 膜、PNZT 膜または SBT 膜を用いることも可能である。誘電体キャパシタ C の誘電体膜として PZT 膜を用いる

場合は、この誘電体キャパシタ C の形成に、第 5 の実施形態による誘電体キャパシタの製造方法を用いることができ、PNZT 膜を用いる場合は、この誘電体キャパシタ C の形成に、第 7 の実施形態による誘電体キャパシタの製造方法を用いることができ、SBTT 膜を用いる場合は、この誘電体キャパシタ C の形成に、第 11 ~ 第 16 の実施形態による誘電体キャパシタの製造方法を用いることができる。また、この第 18 の実施形態による強誘電体不揮発性メモリの製造方法は、誘電体キャパシタ C の誘電体膜として BST 膜を用いることにより、DRAM の製造に適用することも可能である。この場合、誘電体キャパシタ C の形成には、第 9 の実施形態による誘電体キャパシタの製造方法を用いることができる。

【0215】また、同様に、第 19 の実施形態においては、誘電体膜として BST 膜を用いた誘電体キャパシタ C の形成に、第 3 の実施形態による誘電体キャパシタの製造方法を用いているが、これは、第 4 の実施形態による誘電体キャパシタの製造方法を用いることも可能である。また、誘電体キャパシタ C の誘電体膜として PZT 膜、PNZT 膜または SBTT 膜を用いることも可能である。誘電体キャパシタ C の誘電体膜として PZT 膜を用いる場合は、この誘電体キャパシタ C の形成に、第 6 の実施形態による誘電体キャパシタの製造方法を用いることができ、PNZT 膜を用いる場合は、この誘電体キャパシタ C の形成に、第 8 の実施形態による誘電体キャパシタの製造方法を用いることができ、SBTT 膜を用いる場合は、この誘電体キャパシタ C の形成に、第 17 の実施形態による誘電体キャパシタの製造方法を用いることができる。また、この第 19 の実施形態による強誘電体不揮発性メモリの製造方法は、誘電体キャパシタ C の誘電体膜として BST 膜を用いることにより、DRAM の製造に適用することも可能である。この場合、誘電体キャパシタ C の形成には、第 10 の実施形態による誘電体キャパシタの製造方法を用いることができる。

【0216】また、この発明は、単体の誘電体キャパシタの製造、誘電体キャパシタを有する強誘電体不揮発性メモリまたは DRAM のような半導体記憶装置の製造以外に、誘電体キャパシタを有する半導体装置または電子装置の製造に適用することが可能である。

【0217】

【発明の効果】以上説明したように、この発明の第 1 および第 3 の発明によれば、下部電極、誘電体の構成元素からなるアモルファス相またはフルオライト相を主成分とする前駆体膜および上部電極を順次形成し、少なくとも上部電極および前駆体膜を誘電体キャパシタの形状にパターニングした後、誘電体キャパシタの形状にパターニングされた前駆体膜を熱処理することにより誘電体膜を得るようにしていることにより、誘電体キャパシタの特性を著しく改善することができる。これによって、誘電体キャパシタの面積が縮小した場合であっても、特性

の良好な誘電体キャパシタを実現することができる。

【0218】この発明の第 2 の発明および第 4 の発明によれば、下部電極、誘電体の構成元素からなるアモルファス相またはフルオライト相を主成分とする前駆体膜および上部電極を順次形成し、上部電極および前駆体膜をエッチングにより誘電体キャパシタの形状にパターニングした後、これらの上部電極および前駆体膜の側壁を覆うように保護膜を形成していることにより、誘電体キャパシタのリーク電流特性を著しく改善することができる。また、第 1、第 3 の発明の場合と同様に、誘電体キャパシタの形状にパターニングされた前駆体膜を熱処理することにより誘電体膜を得るようにしていることにより、誘電体キャパシタの特性を著しく改善することもできる。これによって、誘電体キャパシタの面積が縮小した場合であっても、特性の良好な誘電体キャパシタを実現することができるとともに、信頼性の向上を図ることができる。

【図面の簡単な説明】

【図 1】 この発明の第 1 の実施形態による誘電体キャパシタの製造方法を説明するための断面図である。

【図 2】 SBTT 膜を用いた誘電体キャパシタにおける残留分極値および抗電界の SBTT 膜の膜厚依存性を示す略線図である。

【図 3】 この発明の第 2 の実施形態による誘電体キャパシタの製造方法を説明するための断面図である。

【図 4】 この発明の第 3 の実施形態による誘電体キャパシタの製造方法を説明するための断面図である。

【図 5】 この発明の第 4 の実施形態による誘電体キャパシタの製造方法を説明するための断面図である。

【図 6】 この発明の第 5 の実施形態による誘電体キャパシタの製造方法を説明するための断面図である。

【図 7】 この発明の第 6 の実施形態による誘電体キャパシタの製造方法を説明するための断面図である。

【図 8】 この発明の第 7 の実施形態による誘電体キャパシタの製造方法を説明するための断面図である。

【図 9】 この発明の第 8 の実施形態による誘電体キャパシタの製造方法を説明するための断面図である。

【図 10】 この発明の第 9 の実施形態による誘電体キャパシタの製造方法を説明するための断面図である。

【図 11】 この発明の第 10 の実施形態による誘電体キャパシタの製造方法を説明するための断面図である。

【図 12】 この発明の第 11 の実施形態による誘電体キャパシタの製造方法を説明するための断面図である。

【図 13】 SBTT 膜を用いた誘電体キャパシタにおける残留分極値および抗電界の T_i 添加量依存性を示す略線図である。

【図 14】 SBTT 膜を用いた誘電体キャパシタにおけるリーク電流密度の T_i 添加量依存性を示す略線図である。

【図 15】 SBTT 膜を用いた誘電体キャパシタにお

ける残留分極値の温度特性の T_i 添加量依存性を示す略線図である。

【図 16】 この発明の第 12 の実施形態による誘電体キャパシタの製造方法を説明するための断面図である。

【図 17】 この発明の第 13 の実施形態による誘電体キャパシタの製造方法を説明するための断面図である。

【図 18】 この発明の第 14 の実施形態による誘電体キャパシタの製造方法を説明するための断面図である。

【図 19】 この発明の第 15 の実施形態による誘電体キャパシタの製造方法を説明するための断面図である。

【図 20】 この発明の第 16 の実施形態による誘電体キャパシタの製造方法を説明するための断面図である。

【図 21】 この発明の第 17 の実施形態による誘電体キャパシタの製造方法を説明するための断面図である。

【図 22】 この発明の第 18 の実施形態による強誘電体不揮発性メモリの製造方法を説明するための断面図である。

【図 23】 この発明の第 18 の実施形態による強誘電体不揮発性メモリの製造方法を説明するための断面図である。

【図 24】 この発明の第 18 の実施形態による強誘電体不揮発性メモリの製造方法を説明するための断面図である。

【図 25】 この発明の第 18 の実施形態による強誘電体不揮発性メモリの製造方法を説明するための断面図である。

【図 26】 この発明の第 19 の実施形態による強誘電体不揮発性メモリの製造方法を説明するための断面図である。

【図 27】 この発明の第 19 の実施形態による強誘電体不揮発性メモリの製造方法を説明するための断面図である。

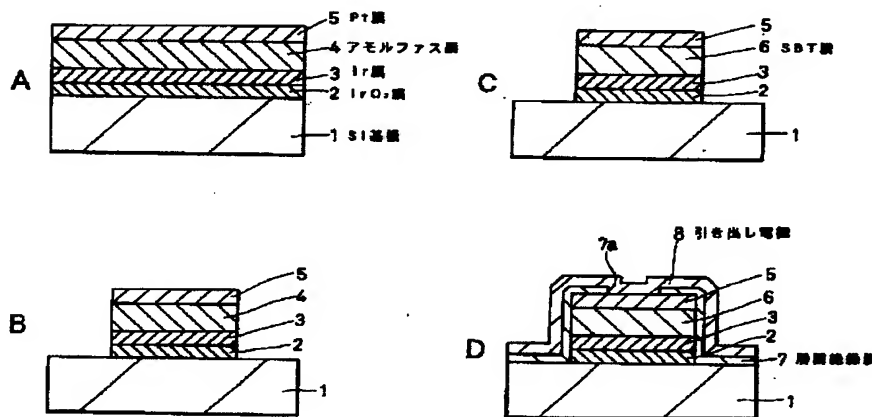
【図 28】 この発明の第 19 の実施形態による強誘電体不揮発性メモリの製造方法を説明するための断面図である。

【図 29】 この発明の第 19 の実施形態による強誘電体不揮発性メモリの製造方法を説明するための断面図である。

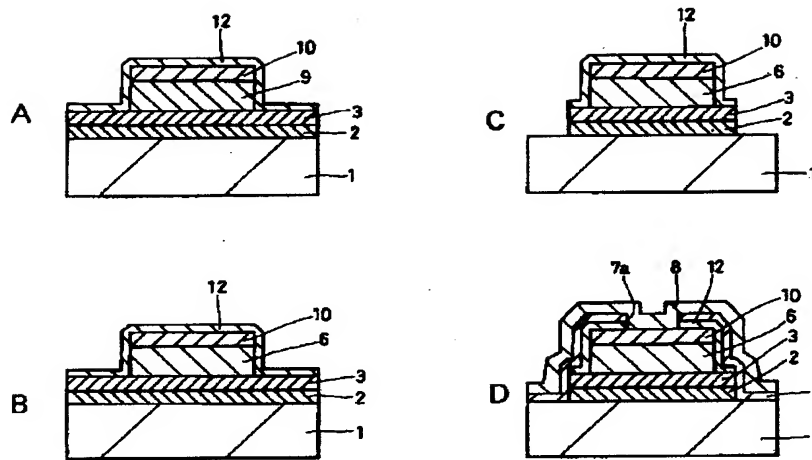
【符号の説明】

1, 101・・・Si 基板、2, 111・・・ IrO_2 膜、3, 112・・・Ir 膜、4, 113・・・アモルファス膜、5, 114・・・Pt 膜、6, 115・・・SBT 膜、9・・・フルオライト膜、11, 119・・・Ru 膜、12, 120・・・ Ta_2O_5 膜、Q・・・n チャネル MOS トランジスタ、C・・・誘電体キャパシタ

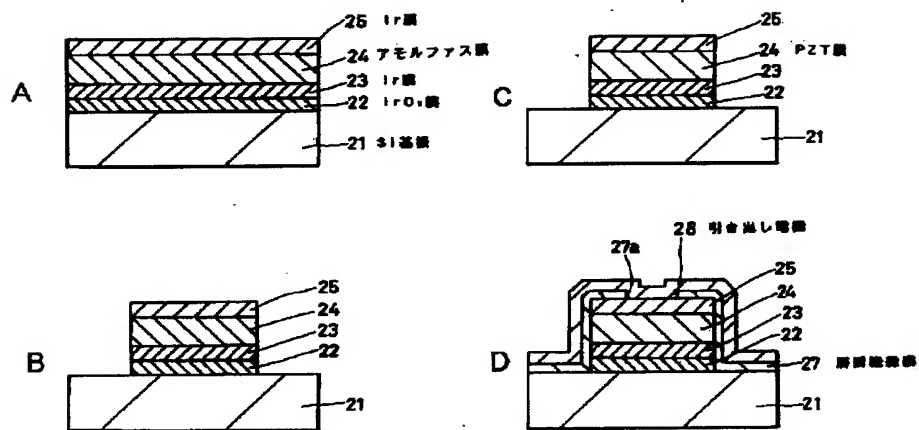
【図 1】



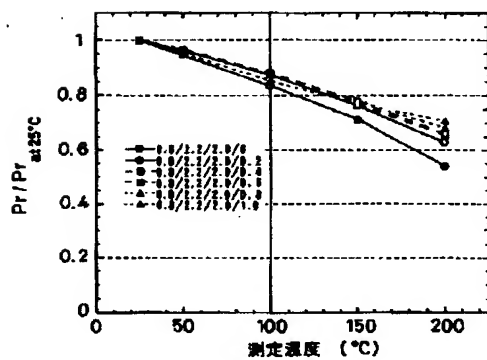
【図5】



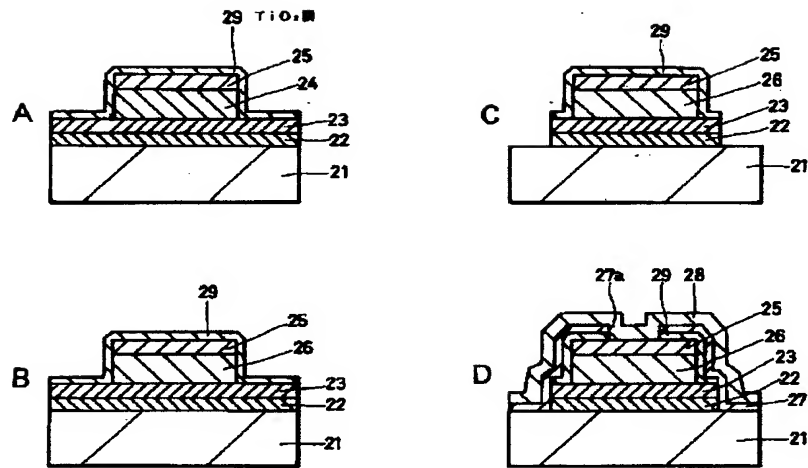
【図6】



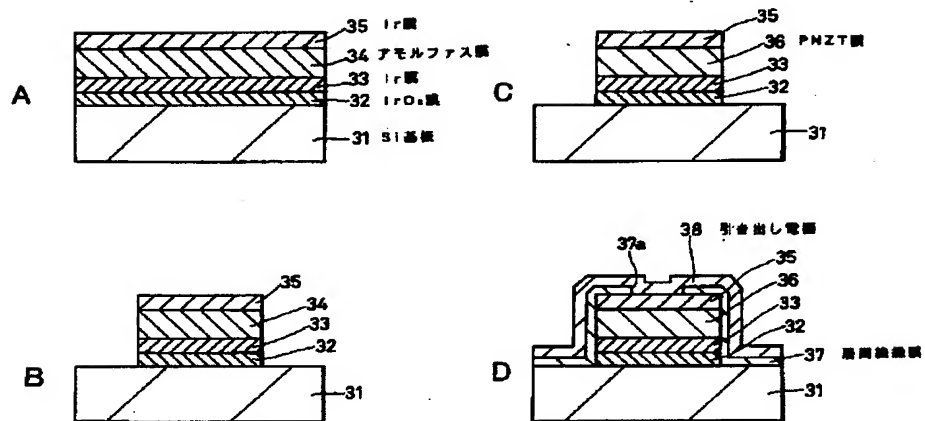
【図15】



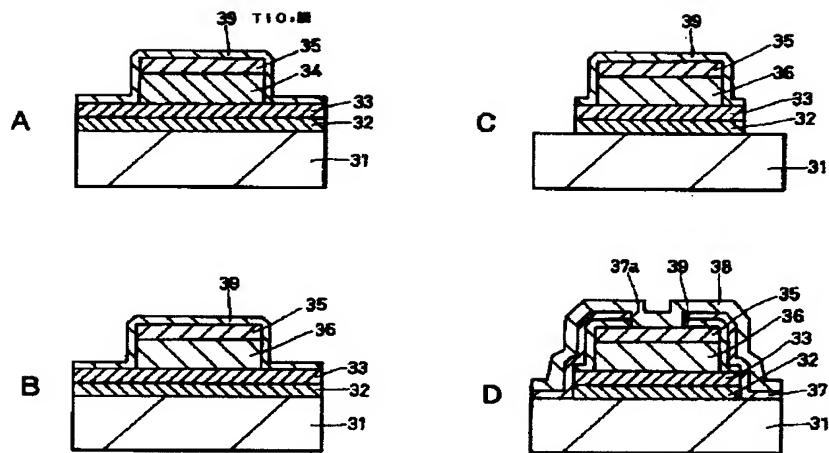
【図 7】



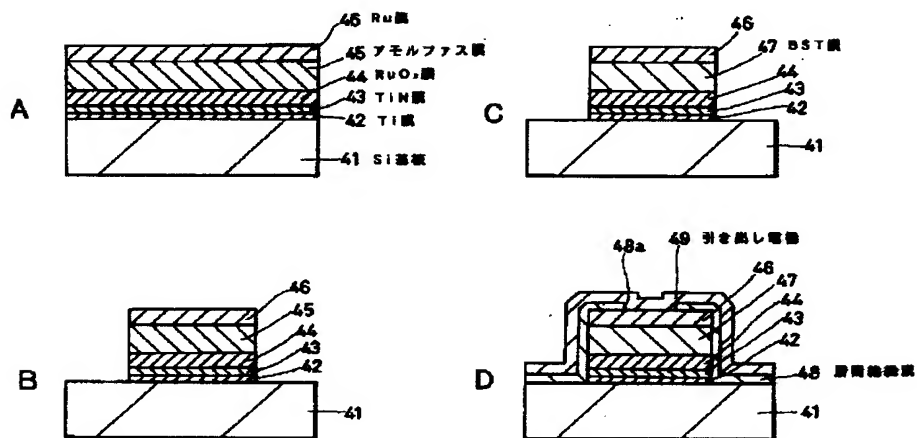
【図 8】



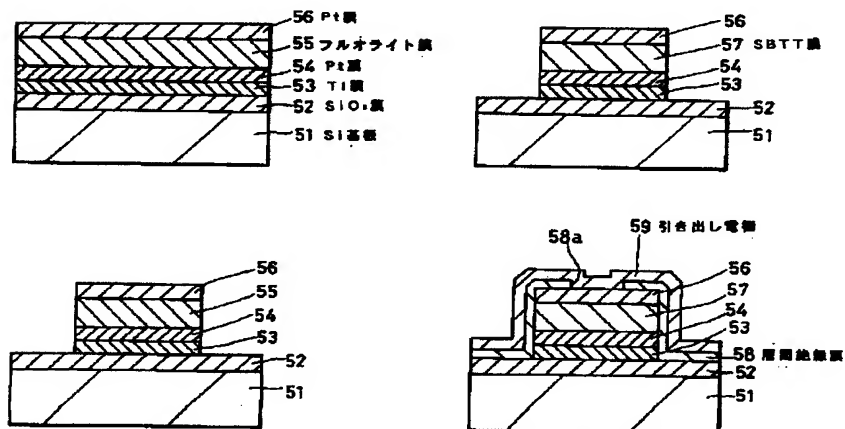
【図9】



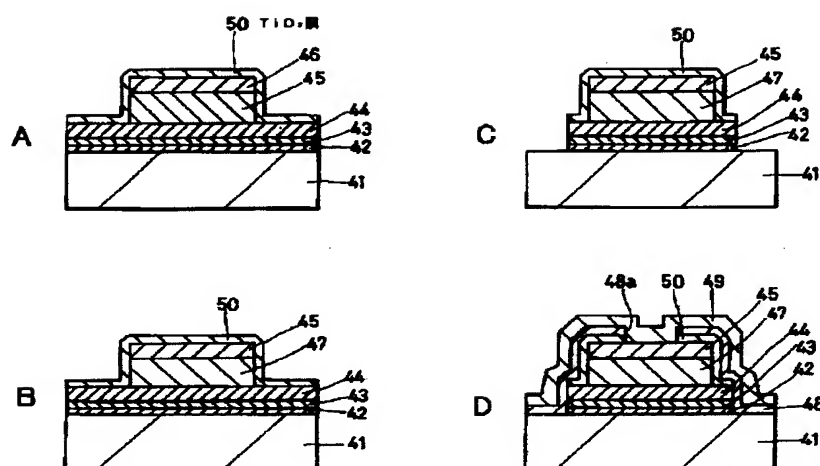
【図10】



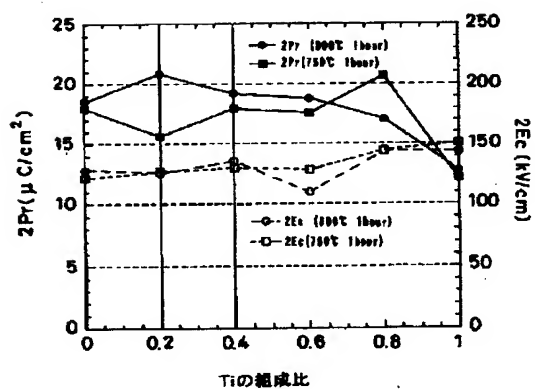
【図12】



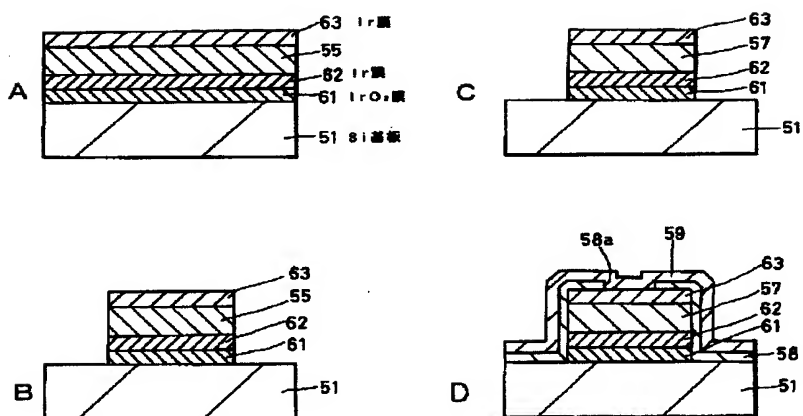
【図 11】



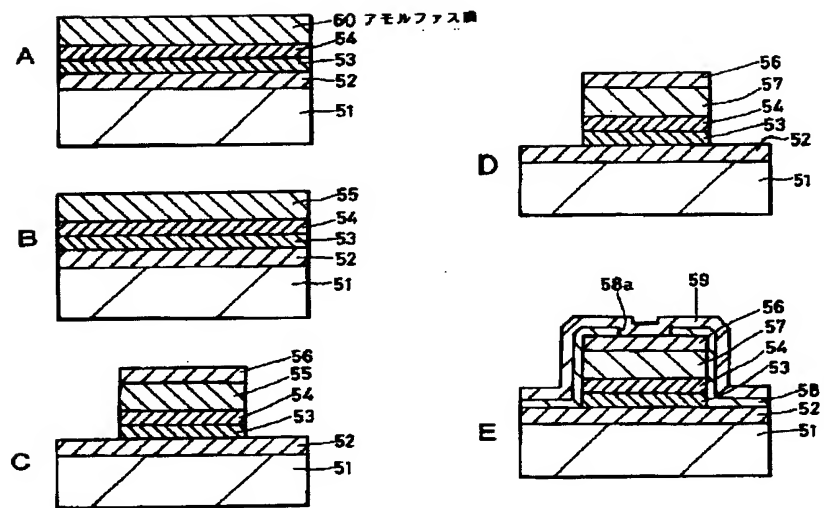
【図 13】



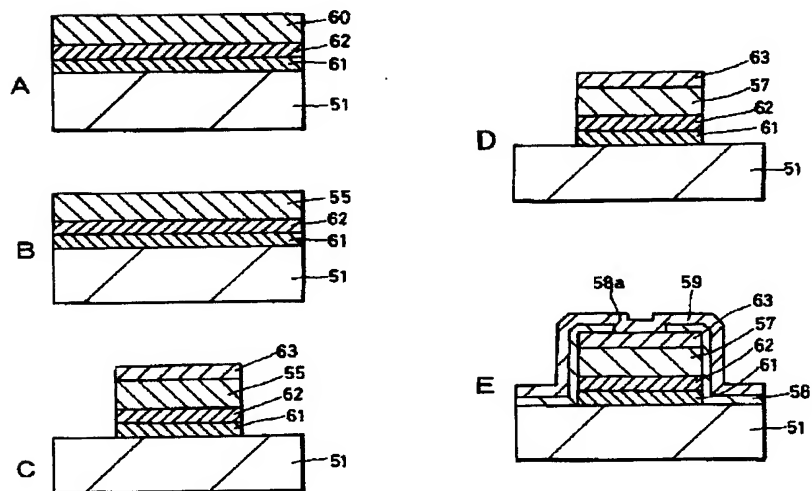
【図 17】



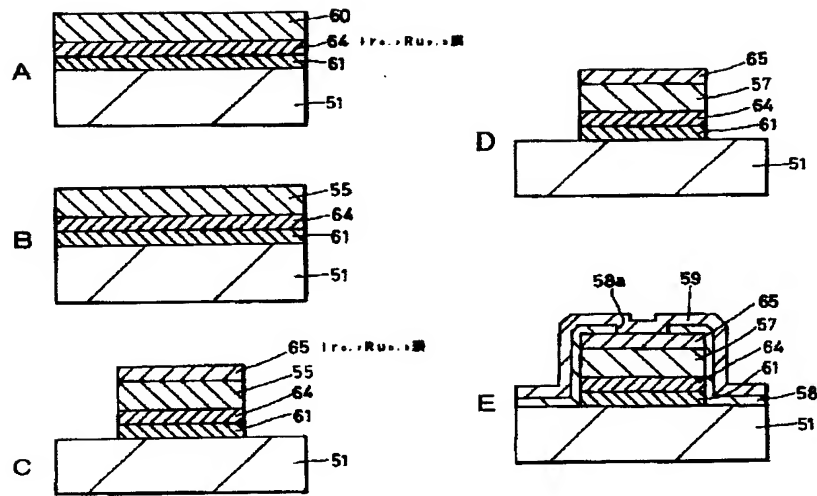
【図 16】



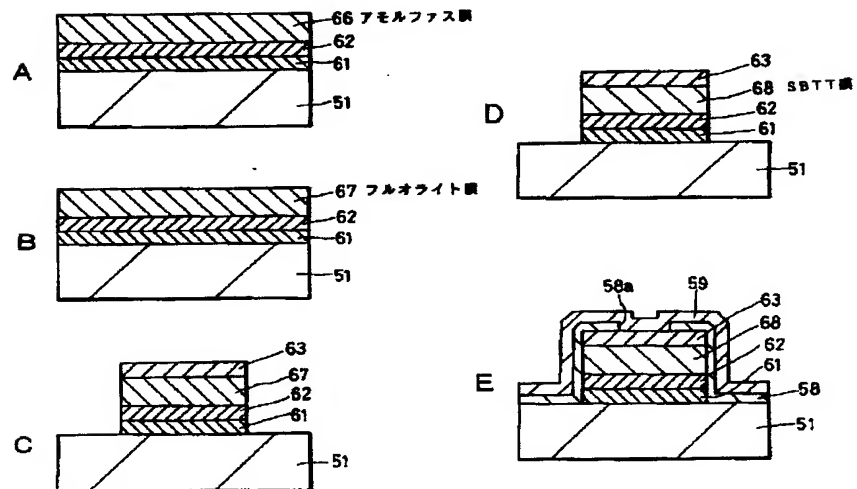
【図 18】



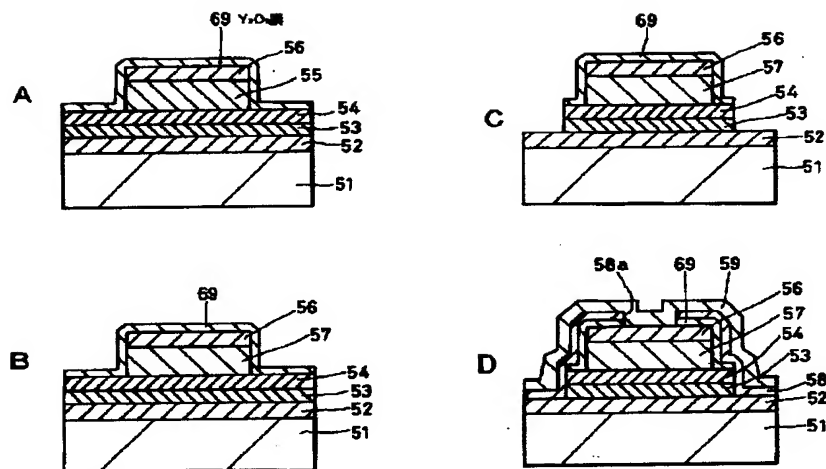
【図 19】



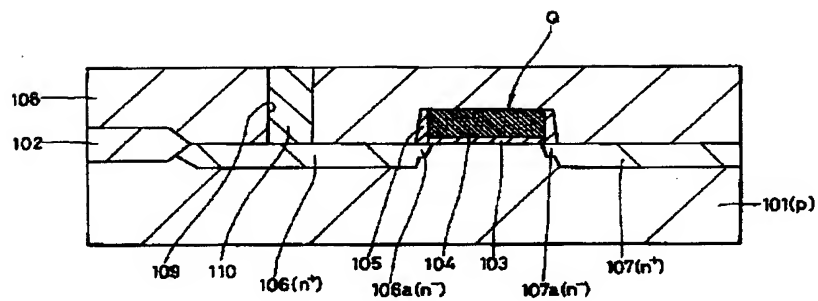
【図 20】



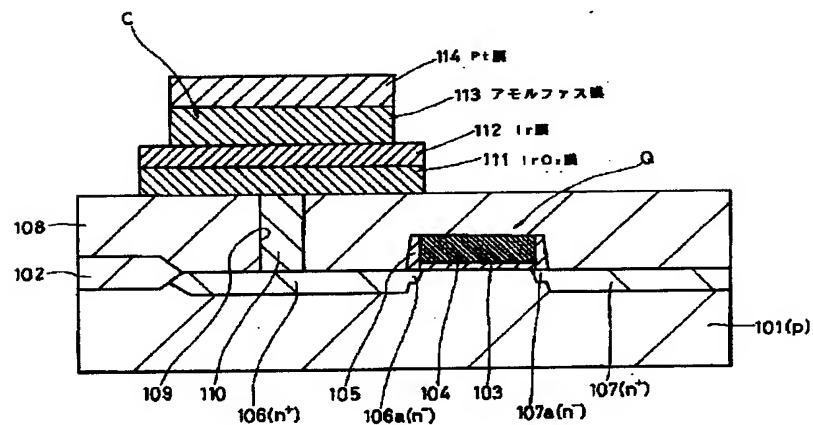
【図 21】



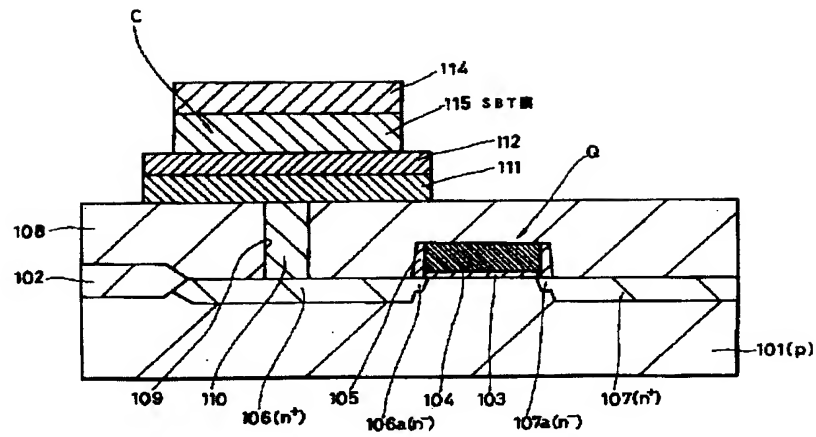
【図 22】



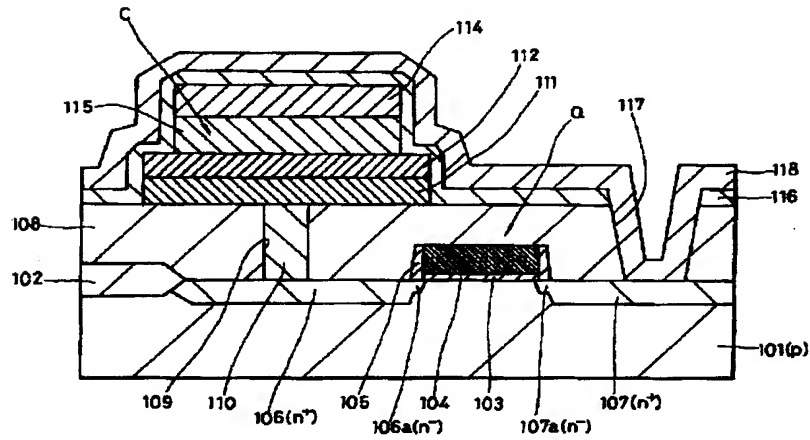
【図 23】



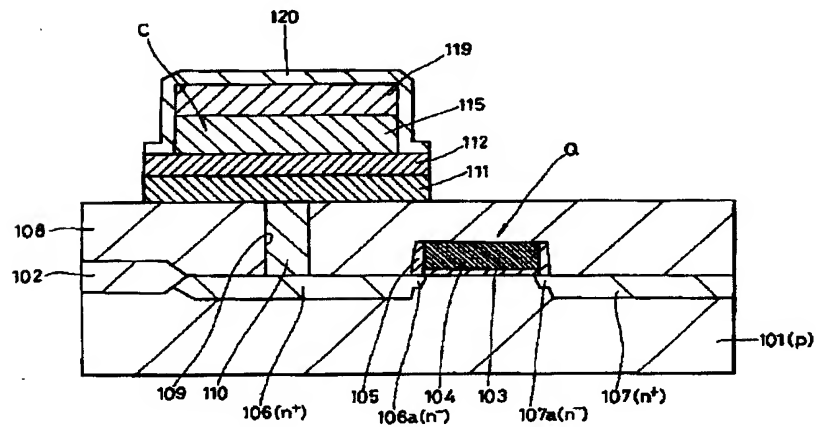
【図 24】



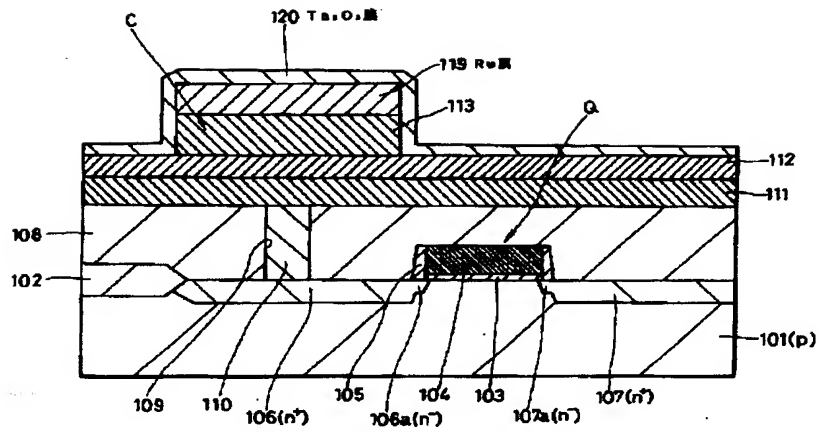
【図 25】



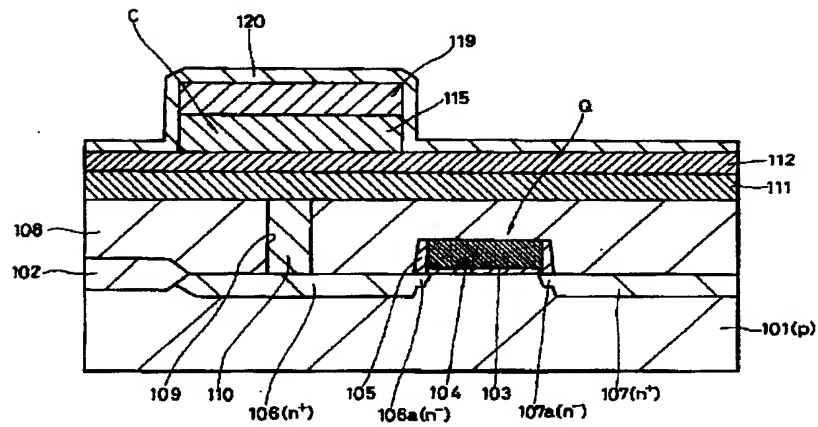
【図 28】



【図 26】



【図 27】



A detailed cross-sectional diagram of a semiconductor device. The base is a substrate labeled 101. Above it are several horizontal layers: 102, 103, 104, 106, and 108. On the right side, there's a vertical stack of layers labeled 116 and 118. A central feature consists of a rectangular block 120 sitting on layer 104, surrounded by a ring-like structure 119. To the left of this central feature is another structure labeled 115. Various other labels point to specific interfaces or regions: 107, 107a(n'), 106a(n'), 106(n'), 110, 112, 117, and C.

F ターム (参考)	4K030	AA11	AA14	BA01	BA04	BA17
		BA18	BA35	BA42	BB05	CA04
		DA09	FA10	HA02	JA10	LA01
		LA15	LA19			
	5F001	AA17	AD17	AD62	AG21	AG27
		AG28	AG30			
	5F038	AC05	AC09	AC15	AC17	AC18
		DF05	EZ14	EZ15	EZ17	EZ20
	5F083	AD10	AD21	AD43	FR02	GA27
		GA30	JA02	JA06	JA14	JA15
		JA17	JA32	JA36	JA38	JA39
		JA40	JA43	JA56	MA06	MA17
		PR03	PR21	PR22	PR23	PR29
		PR33	PR34			